






## COMPUTER SYSTEM

|                            |  |   |                |
|----------------------------|--|---|----------------|
| <b>Patent number:</b>      | RU2110089 (C1)   | <b>Also published as:</b>   |                |
| <b>Publication date:</b>   | 1998-04-27   |  | EP0886224 (A1) |
| <b>Inventor(s):</b>        | BURTSEV V S; KHAJLOV I K; TVERDOKHLEBOV M V; SYZ KO EH V; ERSHOV V K; KOZLOV L A; NIKITIN M JU; TORCHIGIN V P; FEDOROV V B; PODSHIVALOV D B; BEREZKO A M; NIKOL SKAJA JU N + |  | EP0886224 (A4) |
| <b>Applicant(s):</b>       | BURTSEV VSEVOLOD SERGEEVICH +  |  | EP0886224 (B1) |
| <b>Classification:</b>     |  |  | US6370634 (B1) |
| <b>- international:</b>    | <b>G06F15/16; G06F15/167; G06F15/173; G06F15/16;</b> (IPC1-7): G06F15/16   |  | WO9723834 (A1) |
| <b>- european:</b>         | G06F15/173N4S  |   |                |
| <b>Application number:</b> | RU19950121508 19951222   |   |                |
| <b>Priority number(s):</b> | RU19950121508 19951222   |   |                |

[more >>](#)

### Abstract of RU 2110089 (C1)

FIELD: computer engineering. SUBSTANCE: device has N processor units 1,1-1. N, commutator 2, additional commutator 3, N associative memory units 4,1-4. N, buffer unit 5. Additional commutator 3 and N associative memory units, buffer 5 and corresponding connections provide possibility to eliminate interaction between processors. EFFECT: decreased processing time, increased efficiency. 4 cl, 35 dwge

.....  
Data supplied from the **espacenet** database — Worldwide



(19) **RU** <sup>(11)</sup> **2 110 089** <sup>(13)</sup> **C1**  
(51) МПК<sup>6</sup> **G 06 F 15/16**

РОССИЙСКОЕ АГЕНТСТВО  
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) **ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ**

(21), (22) Заявка: 95121508/09, 22.12.1995

(46) Дата публикации: 27.04.1998

(56) Ссылки: SU, авторское свидетельство, 1777148, кл. G 06 F 15/16, 1989. US, патент, 4814978, кл. G 06 F 13/00, 1989.

(71) Заявитель:  
Бурцев Всеволод Сергеевич

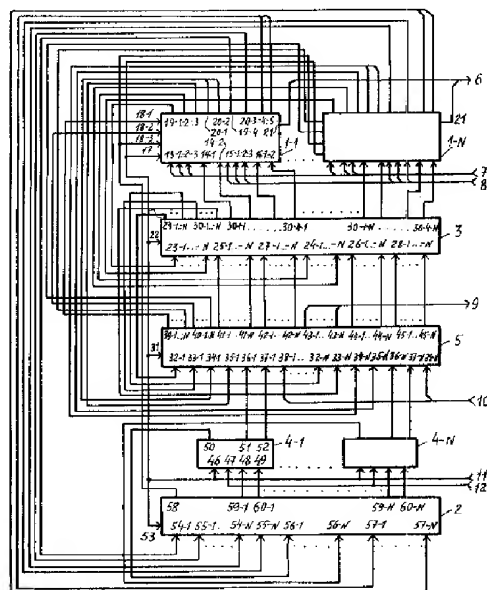
(72) Изобретатель: Бурцев В.С.,  
Хайлов И.К., Твердохлебов М.В., Сызько  
Э.В., Ершов В.К., Козлов Л.А., Никитин  
М.Ю., Торчигин В.П., Федоров  
В.Б., Подшивалов Д.Б., Березко  
А.М., Никольская Ю.Н.

(73) Патентообладатель:  
Бурцев Всеволод Сергеевич

(54) **ВЫЧИСЛИТЕЛЬНАЯ СИСТЕМА**

(57) Реферат:

Изобретение относится к области вычислительной техники и может быть использовано в цифровых вычислительных комплексах высокой производительности. Вычислительная система содержит N процессорных модулей  $1_1 \dots 1_N$ , коммутатор 2, дополнительный коммутатор 3, N модулей ассоциативной памяти  $4_1 \dots 4_N$ , блок 5 буферизации. Введение дополнительного коммутатора 3 и N модулей ассоциативной памяти, блока 5 буферизации и организация соответствующих связей позволило устранить межпроцессорный обмен, что обеспечивает сокращение времени обработки рабочих программ и соответствующее повышение производительности. 3 з.п.ф-лы, 35 ил.



Фиг. 1



(19) **RU** (11) **2 110 089** (13) **C1**  
 (51) Int. Cl.<sup>6</sup> **G 06 F 15/16**

RUSSIAN AGENCY  
 FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 95121508/09, 22.12.1995

(46) Date of publication: 27.04.1998

(71) Applicant:  
**Burtsev Vsevolod Sergeevich**

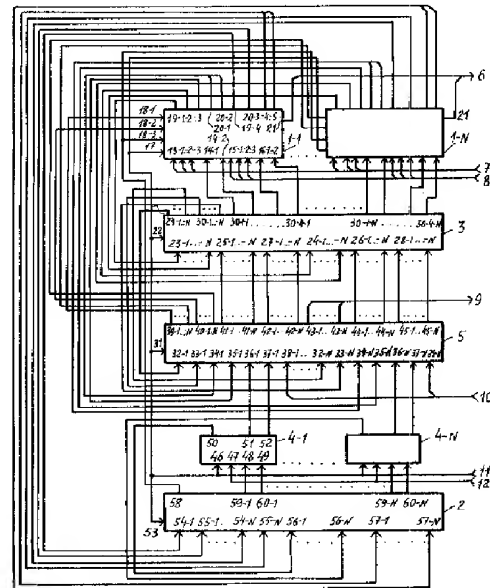
(72) Inventor: **Burtsev V.S.,  
 Khajlov I.K., Tverdokhlebov M.V., Syz'ko  
 Eh.V., Ershov V.K., Kozlov L.A., Nikitin  
 M.Ju., Torchigin V.P., Fedorov  
 V.B., Podshivalov D.B., Berezko  
 A.M., Nikol'skaja Ju.N.**

(73) Proprietor:  
**Burtsev Vsevolod Sergeevich**

(54) **COMPUTER SYSTEM**

(57) Abstract:

FIELD: computer engineering. SUBSTANCE: device has N processor units 1.1-1. N, commutator 2, additional commutator 3, N associative memory units 4.1-4. N, buffer unit 5. Additional commutator 3 and N associative memory units, buffer 5 and corresponding connections provide possibility to eliminate interaction between processors. EFFECT: decreased processing time, increased efficiency. 4 cl, 35 dwg



Фиг. 1

RU 2110089 C1

RU 2110089 C1

Изобретение относится к вычислительной технике, а именно к вычислительным машинам и системам, использующим управление процессом вычислений от потока данных, и может быть использовано в цифровых вычислительных комплексах высокой производительности.

Известна вычислительная система, содержащая центральные процессоры ввода-вывода, коммутатор, основное запоминающее устройство, пульт управления, внешние запоминающие устройства с блоками управления и процессоры передачи данных (а.с. СССР N 692400, кл. G 06 F 15/16, 1977).

Известная вычислительная система использует фон-неймановский принцип обработки данных, а каждый центральный процессор содержит устройство сопряжения, блок формирования процедур, блок индексации, блок вызова значений, блок обработки строк, арифметико-логическое устройство, блок базовых регистров, устройство формирования команд, устройство управления, устройство распределения адресов стека, буферный стек операндов, ассоциативное запоминающее устройство, устройство преобразования математических адресов в физические, блок буферной памяти команд, блок анализа прерываний.

В состав арифметико-логического устройства входят блоки: умножения, сложения, деления, преобразования кодов и выполнения логических операций. Указанные блоки работают параллельно и независимо один от другого, обеспечивая параллельную обработку данных внутри каждого процессора и используя при этом естественный параллелизм исполняемых программ.

Однако практическая реализация указанного устройства показала, что для обеспечения параллельной работы нескольких исполнительных устройств с использованием фон-неймановского принципа организации вычислений требуются высокие непроизводительные затраты оборудования и вычислительных мощностей, прежде всего определяемые тем, что для выборки из исполняемой программы независимых последовательностей команд с помощью специальных аппаратных средств должен производиться предварительный просмотр отрезков программы (средней длиной до 30 команд) и должно осуществляться динамическое планирование загрузки исполнительных устройств, чтобы было подробно отмечено (Бабаян Б. А. Основные результаты и перспективы развития архитектуры "Эльбрус" - в сб.: Прикладная информатика, вып. 15 - М.: Финансы и статистика, 1989, с. 100-131).

Указанное обстоятельство в значительной мере усложняет аппаратуру устройства при весьма низких реальных приращениях производительности. Параллелизм обработки программы на нескольких исполнительных устройствах носит ограниченный, узко-локальный характер и не распространяется на всю программу (участки параллельной обработки не превышают при этом 10-20 команд). Кроме того, сам процесс выборки из программы параллельно исполняемых команд требует большого объема дополнительного оборудования и значительных затрат рабочего времени

процессора, что является дополнительным фактором, снижающим производительность.

Известное устройство, содержащее модули общей оперативной памяти, модули центральных процессоров и процессоров ввода-вывода также использует фон-неймановский принцип обработки вычислений и параллельную работу нескольких исполнительных устройств, входящих в состав центральных процессоров, реализуя параллелизм обработки программы за счет формирования широкой команды, которая включает операции для одновременного запуска нескольких арифметических устройств [1].

Формирование такой команды осуществляется на основе статического планирования операций на этапе трансляции программы. При этом число содержащихся в команде параллельно исполняемых операций ограничено (не превышает 7).

Указанное устройство не позволяет реализовать высокую производительность, определяемую внутренним параллелизмом исполняемых программ в силу ограниченной степени параллелизма исполняемых в устройстве операций и блокировки исполнения их в случае, когда нет всех необходимых для вычислений операндов. Данное обстоятельство определяется ограничениями, налагаемыми транслятором, а также теми случаями, когда место нахождения переменной меняется во времени согласно вычисляемым условиям. Кроме того, данное устройство имеет сложную структуру транслятора и большой объем оборудования для поддержания узко-локального параллелизма обработки.

По технической сущности наиболее близкой к предлагаемому устройству является вычислительная система, содержащая группу процессорных модулей, выходы управления передачей результата двухходовой команды и разрядов номера модуля памяти которых подключены к управляющему и адресному входам соответствующей группы входов управления приемом коммутатора, выходы разрядов результата двухходовой команды и разрядов состояний двухходовой команды каждого процессорного модуля подключены к соответствующему входу группу информационных входов коммутатора, выход сигнала управления обменом которого соединен со входом управления блокировкой передачи результата двухходовой команды каждого процессорного модуля, выход разрядов сбоя вычислений которых соединен с первым выходом результата системы, первые информационный, адресный, управляющий и вторые информационный, адресный, управляющий входы загрузки процессорных модулей подключены соответственно к первому и второму входам загрузки команд системы, вход сигнала установки нуля которой подключен ко входу установки нуля коммутатора и входу установки нуля каждого процессорного модуля, второй выход результата и вход инициализации [2].

Указанное устройство использует для организации вычислений принцип управления от потока данных, и предполагается, что эффективная загрузка каждого процессорного модуля, обеспечивающая высокую общую

производительность, достигается за счет использования параллельной обработки команд на всех участках программы (без ограничений) и поддерживается программной организацией вычислений, при которой исходная программа отображается в виде графа, в котором каждый узел представляет зависимость одной команды от выполнения другой, а дуги определяют направление передачи результатов. Каждый из множества процессорных модулей, взаимосвязанных между собой через коммутатор, обрабатывает закрепленный за ним локальный участок программы. При этом процессорные модули работают параллельно, а необходимая синхронизация между участками обрабатываемой программы осуществляется за счет данных, пересылаемых между ними через коммутатор.

Однако принятый способ распараллеливания вычислений, при котором параллелизм исполнения программы достигается за счет разбиения ее на этапе трансляции на отдельные, связанные между собой подпрограммы, загрузки этих подпрограмм в память отдельных процессорных модулей, обмен между которыми, а следовательно, и между подпрограммами также определяется на этапе трансляции и осуществляется с помощью коммутатора на базе программируемой коммутационной сети, приводит к потерям рабочего времени, что в значительной мере снижает производительность устройства, особенно в тех случаях, когда возрастают информационная зависимость между подпрограммами и степень внутреннего параллелизма исходной программы. Указанное обстоятельство ставит производительность устройства в сильную зависимость от способности системы программирования выделять в исходной программе слабо связанные участки (подпрограммы) и требует значительных затрат времени со стороны пользователя-программиста.

Указанные недостатки не позволяют полностью реализовать в рассматриваемом известном устройстве внутренний параллелизм исполняемых программ и как следствие получить высокую производительность, определяемую этим параллелизмом и методом управления вычислениями от потока данных.

Техническим результатом является повышение производительности за счет организации одновременного доступа каждого процессорного модуля ко всему массиву исполняемой программы и автоматизации процесса распределения ресурсов вычислительных средств.

Достигается это тем, то в вычислительную систему, содержащую группу процессорных модулей, выходы управления передачей результата двухвходовой команды и выходы разрядов адреса которых подключены к управляющему и адресному входам соответствующей группы входов управления приемом коммутатора, выходы разрядов результата двухвходовой команды каждого процессорного модуля подключены к соответствующему входу группы информационных входов коммутатора, выход

сигнала управления обменом которого соединен со входом управления блокировкой передачи результата двухвходовой команды каждого процессорного модуля, выход разрядов сбой вычислений которых соединен с первым выходом результата системы, первые информационный, адресный, управляющий и вторые информационный, адресный, управляющий входы загрузки процессорных модулей подключены соответственно к первому и второму входам загрузки команд системы, вход сигнала установки нуля которой подключен к входу установки нуля коммутатора и входу установки нуля каждого процессорного модуля, второй выход результата и вход инициализации, введены дополнительный коммутатор, группа модулей ассоциативной памяти, блок буферизации и вход обнуления памяти, причем первые управляющий и информационный, вторые управляющий и информационный выходы каждой группы выходов обмена дополнительного коммутатора соединены с первым входом управления пуском, первым информационным входом данных, вторым входом управления пуском и вторым информационным входом данных каждого процессорного модуля соответственно, выходы первой группы выходов управления обменом подключены к первым управляющим входам каждой группы буферизации пакетов блока буферизации, входы инициализации каждой группы входов буферизации пакетов и группа выходов внешнего обмена которого подключены к входу инициализации и второму выходу результата системы соответственно, выходы второй группы выходов управления обменом дополнительного коммутатора подключены к соответствующим вторым управляющим входам каждой группы входов буферизации пакетов блока буферизации, вход установки нуля дополнительного коммутатора, вход установки нуля блока буферизации и первый управляющий вход каждого модуля ассоциативной памяти соединены со входом установки нуля системы, к входу обнуления памяти которой подключены вторые управляющие входы каждого модуля ассоциативной памяти, входы первой и второй групп входов управления обменом дополнительного коммутатора соединены соответственно с выходами управления блокировкой приема командных слоев и управления блокировкой приема операндов процессорных модулей, входы управления блокировкой передачи командных слов и управления блокировкой передачи данных каждого из которых подключены к соответствующим выходам первой и второй группы управляющих выходов блока буферизации, выходы третьей группы управляющих выходов и выходы первой группы информационных выходов которого соединены соответственно со входами первой группы входов запроса и со входами первой группы информационных входов дополнительного коммутатора, входы второй группы входов запроса которого соединены с соответствующими выходами четвертой группы управляющих выходов блока буферизации, первый информационный вход каждой группы входов буферизации пакетов которого соединен с выходами разрядов результата одновходовой команды и

разрядов состояний одновходовой команды соответствующего процессорного модуля, выход управления передачей результата одновходовой команды которого соединен с третьим управляющим входом соответствующей группы входов буферизации пакетов блока буферизации, выходы второй группы информационных выходов которого соединены с соответствующими входами группы информационных входов дополнительного коммутатора, первый управляющий выход каждого модуля ассоциативной памяти соединен с соответствующим входом группы входов управления передачей коммутатора, информационный выход каждой группы выходов обмена которого подключен к информационному входу соответствующего модуля ассоциативной памяти, информационный и второй управляющий выходы каждого из которых подключены ко второму информационному и четвертому управляющему входам соответствующей группы входов буферизации пакетов блока буферизации, а управляющий выход каждой группы выходов обмена коммутатора подключен к третьему управляющему входу соответствующего модуля ассоциативной памяти, а кроме того, каждый процессорный модуль содержит первый и второй коммутаторы, первый и второй узлы управления, исполнительное устройство обработки командных слов и исполнительное устройство обработки операндов, причем первый и второй управляющие входы первого коммутатора подключены к первому и второму выходам управления коммутацией первого узла управления, выход управления передачей командных слов соединен со входом блокировки готовности одновходовой команды исполнительного устройства обработки командных слов, выход разряда готовности двухходовой команды которого подключен к входу признака готовности командных слов второго узла управления, первый и второй выходы управления коммутацией которого соединены с первым и вторым управляющими входами второго коммутатора, первый, второй и третий информационные входы которого подключены к выходу разрядов номера модуля, выходу разрядов результата и выходу разрядов состояния исполнительного устройства обработки командных слов соответственно, выход разряда готовности одновходовой команды которого соединен с входом признака готовности командных слов первого узла управления, выход управления передачей операндов которого соединен с входом блокировки готовности одновходовой команды исполнительного устройства обработки операндов, выход разряда готовности одновходовой команды которого соединен с входом признака готовности операндов первого узла управления, входы управления передачей данных и управления блокировкой передачей командных слов которого являются входами управления блокировкой передачи данных и управления блокировкой модуля соответственно, вход управления блокировкой передачи результата двухходовой команды которого соединен с входом управления передачей второго узла управления, вход признака готовности

5  
10  
15  
20  
25  
30  
35  
40  
45  
50  
55  
60

операндов которого соединен с выходом разряда готовности двухходовой команды исполнительного устройства обработки операндов, выход управления приемом операндов которого подключен к выходу управления блокировкой приема операндов процессорного модуля, выходы управления передачей результата одновходовой команды и управления блокировкой приема командных слов которого соединены с выходом управления передачей одновходовой команды первого узла управления и выходом управления приемом командных слов исполнительного устройства обработки командных слов соответственно, вход блокировки готовности двухходовой команды подключен к выходу управления передачей командных слов второго узла управления, выход управления передачей операндов которого соединен с входом блокировки готовности двухходовой команды исполнительного устройства обработки операндов, выходы разрядов номера модуля, разрядов результата и разрядов состояния которого подключены к четвертому, пятому и шестому информационным входам второго коммутатора соответственно, первый, второй и третий информационные выходы которого соединены с выходами разрядов номера модуля памяти, разрядов результата двухходовой команды и разрядов состояний двухходовой команды процессорного модуля соответственно, выходы разрядов результата одновходовой команды и разрядов состояний одновходовой команды которого подключены к первому и второму информационным выходам первого коммутатора соответственно, первый и второй информационные входы которого соединены с выходами разрядов результата и разрядов состояния исполнительного устройства обработки командных слов соответственно, третий и четвертый информационные входы первого коммутатора соединены соответственно с выходами разрядов результата и разрядов состояний исполнительного устройства обработки операндов, выход разрядов сбоя вычислений которого подключен к выходу разрядов сбоя вычислений процессорного модуля, первый информационный и первый адресный входы загрузки которого соединены с информационным и адресным входами загрузки исполнительного устройства обработки командных слов соответственно, выход разрядов сбоя вычислений которого соединен с выходом сбоя вычислений процессорного модуля, второй информационный и второй адресный входы которого подключены к информационному и адресному входам загрузки исполнительного устройства обработки операндов, вход установки нуля которого соединен с входом установки нуля процессорного модуля, первый управляющий вход загрузки которого подключен к управляющему входу загрузки исполнительного устройства обработки командных слов, вход управления пуском которого соединен с первым входом управления пуском процессорного модуля, первый информационный вход данных которого подключен к входу разрядов пакета исполнительного устройства обработки командных слов, вход установки нуля которого подключен к входу установки нуля

процессорного модуля, второй вход управления пуском и второй информационный вход данных которого соединены с входом управления пуском и входом разрядов пакета исполнительного устройства обработки операндов соответственно, управляющий вход загрузки которого подключен ко второму управляющему входу загрузки процессорного модуля, а выход управления передачей результата двухвходовой команды которого соединен с выходом управления передачей двухвходовой команды второго узла управления, а также дополнительный коммутатор содержит первое и второе устройства управления и первое и второе устройства коммутации, причем выходы группы выходов управления передачей первого и второго устройства управления подключены к выходам первой и второй группы выходов управления обменом дополнительного коммутатора, первый и второй управляющие выходы i-й группы выходов обмена которого соединены с i-ми выходами группы выходов управления запросом на обмен первого и второго устройства управления соответственно, входы установки нуля которых подключены к входу установки нуля дополнительного коммутатора, входы первой и второй групп информационных входов которого соединены со входами группы информационных входов первого и второго устройств коммутации соответственно, i-е выходы группы информационных выходов которых подключены к первым и вторым информационным выходам i-й группы выходов обмена дополнительного коммутатора, входы первой и второй группы входов управления обменом которого соединены с входами группы входов управления обменом первого и второго устройства управления соответственно, входы группы входов запроса которых подключены к входам первой и второй групп входов запроса дополнительного коммутатора соответственно, а выходы каждой i-й группы выходов управления коммутацией первого и второго устройств коммутации управления соединены с входами i-й группы входов управления коммутацией первого и второго устройств коммутации соответственно, группа управляющих выходов каждого из которых подключена к группе управляющих входов первого и второго устройств управления соответственно, выходы группы выходов управления приемом каждого из которых соединены с входами группы входов управления приемом первого и второго устройства коммутации соответственно, а также блок буферизации содержит группу узлов буферизации, причем первый и второй выходы управления передачей пакета командных слов каждого i-го узла буферизации соединены с i-ми выходами первой и третьей группы управляющих выходов блока буферизации соответственно, первый и второй управляющие входы каждой i-ой группы входов буферизации пакетов которого подключены к входу управления передачей пакетов командных слов и входу управления передачей пакетов операндов соответствующего i-го узла буферизации, первый и второй выходы управления

5  
10  
15  
20  
25  
30  
35  
40  
45  
50  
55  
60

передачей пакета операндов которого соединены с соответствующими i-ми выходами второй и четвертой групп управляющих выходов блока буферизации, третий и четвертый управляющие входы каждой i-й группы входов буферизации пакетов которого подключены к входу управления передачей одинарного пакета и входу управления передачей двойного пакета каждого i-го узла буферизации соответственно, первый и второй информационные выходы которого соединены с соответствующими i-ми выходами первой и второй групп информационных выходов блока буферизации соответственно, первый и второй информационные входы каждой группы входов буферизации пакетов которого подключены к входу разрядов одинарного пакета и входу разрядов двойного пакета каждого i-го узла буферизации соответственно, выход внешнего обмена которого соединен с соответствующим i-м выходом группы выходов внешнего обмена блока буферизации, вход установки нуля которого подключен к входу установки нуля каждого i-го узла буферизации, вход внешнего обмена которого соединен с входом инициализации соответствующей i-й группы входов буферизации пакетов блока буферизации.

Сущность изобретения заключается в том, что введение дополнительного коммутатора, группы модулей ассоциативной памяти, блока буферизации и организация соответствующих связей обеспечивает достижение повышенного быстродействия вычислительной системы за счет массового параллелизма обработки программ и максимальное исключение пользователя-программиста из процесса распределения ресурсов вычислительных средств, упрощает систему управления вычислительным процессом (отсутствие традиционного устройства управления в составе процессорного модуля) и обеспечивает возможность наращивания вычислительных мощностей без трудозатрат на программирование.

При этом обеспечивается одновременный доступ каждого процессорного модуля к полному массиву программы, что позволяет исключить взаимные обмена между процессорными модулями и значительно повысить производительность.

Сравнение предлагаемого устройства с прототипом позволяет утверждать о соответствии критерию "новизна", а отсутствие отличительных признаков в аналогах - говорить о соответствии критерию "изобретательский уровень".

Предварительные испытания подтверждают возможность промышленного применения.

На фиг. 1 представлена блок-схема вычислительной системы; на фиг. 2 - функциональная схема процессорного модуля вычислительной системы; на фиг. 3 - функциональная схема узла управления первым коммутатором процессорного модуля; на фиг. 4 - функциональная схема узла управления вторым коммутатором процессорного модуля; на фиг. 5 - функциональная схема исполнительного устройства обработки командных слов; на

фиг. 6 - функциональная схема узла управления исполнительного устройства обработки командных слов процессорного модуля; на фиг. 7 - функциональная схема блока коммутации исполнительного устройства обработки командных слов; на фиг. 8 - функциональная схема узла управления блоком коммутации исполнительного устройства обработки командных слов; на фиг. 9 - функциональная схема узла входных регистров исполнительного устройства обработки командных слов; на фиг. 10 - функциональная схема узла регистров команд исполнительного устройства обработки командных слов; на фиг. 11 - функциональная схема исполнительного устройства обработки операндов процессорного модуля; на фиг. 12 - функциональная схема узла управления исполнительного устройства обработки операндов; на фиг. 13 - функциональная схема узла входных регистров исполнительного устройства обработки операндов; на фиг. 14 - функциональная схема узла выходных регистров исполнительного устройства обработки операндов; на фиг. 15 - блок-схема дополнительного коммутатора вычислительной системы; на фиг. 16 - блок-схема устройства управления дополнительного коммутатора; на фиг. 17 - функциональная схема устройства коммутации дополнительного коммутатора; на фиг. 18 - функциональная схема узла управления формированием запроса устройства управления дополнительного коммутатора; на фиг. 19 - функциональная схема блока управления коммутацией устройства управления дополнительного коммутатора; на фиг. 20 - функциональная схема узла управления приоритетом коммутации блока управления коммутацией устройства управления дополнительного коммутатора; на фиг. 21 - функциональная схема узла приема входного запроса блока управления коммутацией устройства управления дополнительного коммутатора; на фиг. 22 - функциональная схема узла преобразователя-приемника устройства коммутации дополнительного коммутатора; на фиг. 23 - функциональная схема узла преобразователя-передатчика устройства коммутации дополнительного коммутатора; на фиг. 24 - блок-схема блока буферизации вычислительной системы; на фиг. 25 - блок-схема узла буферизации блока буферизации; на фиг. 26 - функциональная схема буфера узла буферизации; на фиг. 27 - функциональная схема устройства управления буфером узла буферизации; на фиг. 28 - блок-схема модуля ассоциативной памяти вычислительной системы; на фиг. 29 - блок-схема коммутатора вычислительной системы; на фиг. 30 - функциональная схема устройства управления коммутатором вычислительной системы; на фиг. 31 - функциональная схема управления передачей устройства управления коммутатора вычислительной системы; на фиг. 32 - функциональная схема узла управления приемом устройства управления коммутатора вычислительной системы; на фиг. 33 - функциональная схема узла управления коммутацией устройства управления коммутатора вычислительной

системы; на фиг. 34 - общий вид графа вычислений; на фиг. 35 - структура информационного пакета.

Вычислительная система (фиг. 1) содержит группу процессорных модулей 1-1...1-N, коммутатор 2, дополнительный коммутатор 3, группу модулей 4-1... 4-N ассоциативной памяти и блок буферизации 5.

Кроме того, вычислительная система содержит первый выход 6 результата, первый и второй входы 7 и 8 загрузки, второй выход 9 результата, вход 10 инициализации, вход 11 установки нуля и вход 12 обнуления памяти. Каждый процессорный модуль 1-*i* содержит соответственно первый информационный, первый адресный и первый управляющий входы 13-1, 13-2 и 13-3 загрузки, первый вход 14-1 управления пуском, первый информационный вход 14-2 данных, второй информационный, второй адресный и второй управляющий входы 15-1, 15-2 и 15-3 загрузки, второй вход 16-1 управления пуском, второй информационный вход 16-2 данных, вход 17 установки нуля, вход 18-1 управления блокировкой передачи командных слов, вход 18-2 управления блокировкой передачи данных, вход 18-3 управления блокировкой передачи результата двухходовой команды, выход 19-1 управления блокировкой приема командных слов, выход 19-2 управления блокировкой приема операндов, выход 19-3 управления передачей результата одновходовой команды, выход 19-4 управления передачей результата двухходовой команды, выход 20-1 разрядов результата одновходовой команды, выход 20-2 разрядов состояния одновходовой команды, выходы 20-3 разрядов адреса, выход 20-4 разрядов результата двухходовой команды, выход 20-5 разрядов состояния двухходовой команды, выход 21 разрядов сбоя вычислений.

Дополнительный коммутатор 3 включает вход 22 установки нуля, с первого по N-й входы 23-1...23-N и 24-1...24-N первой и второй групп входов управления обменом, с первого по N-й входы 25-1...25-N и 26-1...26-N первой и второй групп входов запроса, с первого по N-й входы 27-1...27-N и 28-1... 28-N первой и второй групп информационных входов, с первого по N-й выходы 29-1...29-N и 30-1...30-N первой и второй групп выходов управления обменом, с первой по N-ю группы выходов обмена, каждая из которых включает первый управляющий, первый информационный, второй управляющий и второй информационный выходы 30-1-*i*, 30-2-*i*, 30-3-*i* и 30-4-*i* соответственно.

Блок 5 буферизации содержит вход 31 установки нуля, с первой по N-ю группы входов буферизации пакетов, каждая из которых включает первый управляющий вход 32-*i*, второй управляющий вход 33-*i*, первый информационный вход 34-*i*, третий управляющий вход 35-*i*, второй информационный вход 36-*i*, четвертый управляющий вход 37-*i* и вход 38-*i* инициализации. Кроме того, блок 5 буферизации содержит с первой по третью группы управляющих выходов 39-1... 39-N, 40-1...40-N, 41-1...41-N, первую группу информационных выходов 42-1... 42-N, группу выходов 43-1...43-N внешнего обмена,



четвертую группу управляющих выходов 44-1...44-N и вторую группу информационных выходов 45-1...45-N соответственно.

Каждый модуль 4-й ассоциативной памяти содержит первый и второй управляющие входы 46 и 47, информационный вход 48, третий управляющий вход 49, первый управляющий выход 50, информационный выход 51 и второй управляющий выход 52.

Коммутатор 2 содержит вход 53 установки нуля, с первой по N-ю группы входов, каждая из которых содержит управляющий и адресный входы 54-й и 55-й соответственно. Кроме того, коммутатор 2 содержит группу входов 56-1...56-N управления передачей, группу информационных входов 57-1...57-N, выход 58 сигнала управления обменом и с первой по N-ю группы выходов, каждая из которых содержит информационный и управляющий выходы 59-й и 60-й соответственно. Цепи синхронизации и питания не показаны.

Каждый процессорный модуль 1-й включает первый и второй коммутаторы 61 и 62, первый и второй узлы 63 и 64 управления первым и вторым коммутаторами соответственно, исполнительное устройство 65 обработки командных слов и исполнительное устройство 66 обработки операндов.

Коммутатор 61 содержит первый и второй управляющие входы 67-1 и 67-2, с первого по четвертый информационные входы 68-1, 68-2, 69-1, 69-2, первый и второй информационные выходы, подключенные к выходам 20-1 и 20-2 процессорного модуля.

Коммутатор 62 содержит первый и второй управляющие входы 70-1 и 70-2, с первого по шестой информационные входы 71-1, 71-2, 71-3, 72-1, 72-2, 72-3, с первого по третий информационные выходы, подключенные к выходам 20-3, 20-4, 20-5 процессорного модуля соответственно.

Узел 63 управления первым коммутатором включает входы 73 и 74 признаков готовности операндов и командных слов, выходы 75-1 и 75-2 управления передачей командных слов и операндов, первый и второй выходы 76-1 и 76-2 управления коммутацией, входы управления передачей командных слов и данных, подключенные к входам 18-1 и 18-2 процессорного модуля, и выход управления передачей одновходовой команды, подключенный к выходу 19-3 процессорного модуля.

Узел 64 управления вторым коммутатором включает входы 77 и 78 признаков готовности командных слов и операндов, выходы 79-1 и 79-2 управления передачей командных слов и операндов, первый и второй управляющие выходы 80-1 и 80-2 управления коммутацией, вход управления, подключенный к входу 18-3 процессорного модуля, и выход управления передачей двухходовой команды, подключенной к выходу 19-4 процессорного модуля соответственно.

Исполнительное устройство 65 обработки командных слов включает входы 81 и 82 блокировки готовности одновходовой и двухходовой команды, выходы 83 и 84 разрядов готовности двухходовой и одновходовой команды, выход 85 управления приемом командных слов, выход 86 разрядов номера модуля, выход 87 разрядов результата, выход 88 разрядов состояния,

выход разрядов сбоя вычислений, подключенный к выходу 21 процессорного модуля, информационный, адресный и управляющий входы загрузки, подключенные к входам 13-1, 13-2 и 13-3 процессорного модуля, вход управления пуском и вход разрядов пакета, подключенные к выходам 14-1 и 14-2 процессорного модуля соответственно.

Исполнительное устройство 66 обработки операндов содержит входы 89 и 90 блокировки готовности одновходовой и двухходовой команды, выходы 91 и 92 разрядов готовности двухходовой и одновходовой команды, выход 93 управления приемом операндов, выход 94 разрядов номера модуля, выход 95 разрядов результата, выход 96 разрядов состояния, выход разрядов сбоя вычислений, подключенный к выходу 21 процессорного модуля, информационный, адресный и управляющий входы загрузки, подключенные к входам 15-1, 15-2 и 15-3 процессорного модуля, вход управления пуском и вход разрядов пакета, подключенные к входам 16-1 и 16-2 процессорного модуля.

В каждый узел 61 и 62 управления коммутаторами входят элементы И 97 и 98, элемент ИЛИ 99 и приоритетный шифратор 100.

В состав исполнительного устройства 65 обработки командных слов входят узел 101 управления, выходной коммутатор 102, блок 103 коммутации, узел 104 регистров команд, память 105 команд, арифметико-логическое устройство - АЛУ 106, коммутатор 107 загрузки и узел 108 входных регистров.

Узел 101 управления содержит вход 109-1 установки нуля, первый и второй входы 109-2 и 109-3 управления передачей результата, вход 109-4 управления пуском, вход 109-5 разрядов команды, вход 109-6 сигнала готовности памяти, вход 109-7 сигнала значимости результата АЛУ, вход 109-8 сигнала готовности АЛУ, вход 109-9 кода операции, первый и второй выходы 110-1 и 110-2 сигнала готовности данных, выход 110-3 управления обменом, первый и второй выходы 111-1 и 111-2 управления коммутацией выхода, многоразрядный выход 111-3 управления коммутацией полей, выход 111-4 управления приемом данных, выход 111-5 управления запуском АЛУ и выход 111-6 управления выборкой команд.

Выходной коммутатор 102 содержит первый и второй управляющие входы 112-1 и 112-2, первый и второй информационные входы 112-3 и 112-4 и информационный выход, подключенный к выходам 86 и 88 исполнительного устройства 65.

Блок 103 коммутации содержит управляющие входы 113-1...113-12, информационные входы 114-1...114-10 и 115-1...115-4, информационные выходы, подключенные к выходу 87 исполнительного устройства 65 и входам 112-3, 112-4 коммутатора 102.

Узел 104 регистров команд содержит информационный и управляющий входы 116-1 и 116-2, информационные выходы, подключенные к входам 115-1...115-4 блока 103.

Память команд 105 содержит вход 117-1 управления записью, информационный и адресный входы 117-2 и 117-3, вход 117-4

управления чтением, информационный и управляющий выходы, подключенные к соответствующим входам 116-1 и 116-2 узла 104 регистров команд и входам 109-5 и 109-6 узла 101 управления.

Арифметико-логическое устройство 106 (выполнено аналогично устройству по а. с. СССР N 1367012, кл. G 06 F 7/36, 1985) содержит вход 118-1 управления операциями, первый и второй входы 118-2 и 118-3 операндов, вход 118-4 управления пуском, первый и второй информационные выходы 119-1 и 119-2 и управляющий выход 119-3.

Коммутатор 107 загрузки содержит первый и второй информационные входы 120-1 и 120-2, первый и второй управляющие входы 120-3 и 120-4, информационный выход, подключенный к адресному входу 117-3 памяти 105 команд.

Узел 108 входных регистров содержит управляющий вход 121-1, информационные выходы 122-1...122-11.

В состав узла 101 управления входят элементы И 123, 124, приоритетный шифратор 125, элементы И 126...133, элементы ИЛИ 134...136, дешифратор 137, элементы И 138...140, элементы ИЛИ 141, 142, элементы И 143...145, триггеры 146...151 управления, элементы И 152...157, элемент ИЛИ 158, элементы И 159, 160.

В состав блока 103 коммутации входят регистры 161...171, узел управления 172, коммутаторы 173...178.

Узел 172 управления содержит элементы ИЛИ 179...190, управляющие входы 191...202 и управляющие выходы 203...222.

В состав узла 108 входных регистров входят регистр 223 слова состояний, регистр 224 первого слова данных и регистр 225 второго слова данных.

В состав узла 104 регистров команд входят первые и вторые регистры 226, 227 и 228, 229 кода операций и номера команды соответственно.

В состав исполнительного устройства 66 входят узел 230 управления, выходной коммутатор 231, узел 232 выходных регистров, память 233 команд, АЛУ 234, коммутатор 235 загрузки и узел 236 входных регистров.

Узел 230 управления содержит вход 237-1 установки нуля, первый и второй входы 237-2 и 237-3 управления передачей результата, вход 237-4 управления пуском, вход 237-5 разрядов типа команды, вход 237-6 сигнала готовности памяти, выход 237-7 сигнала значимости данных, выход 237-8 сигнала готовности АЛУ, первый и второй выходы 238-1 и 238-2 управления коммутацией, выход, выход 238-3 управления передачей, выход 238-4 управления приемом, выход 238-5 управления пуском, первый, второй и третий управляющие выходы, подключенные к выходам 91...93 исполнительного устройства 66.

Узел 232 выходных регистров содержит управляющие входы 239-1...239-3, информационные входы 239-4...239-6 и информационные выходы 240-1...240-3.

Коммутатор 231 содержит информационный выход, подключенный к выходам 94 и 96 исполнительного устройства 66, первый и второй управляющие входы, подключенные к выходам 238-1 и 238-2 узла 230, первый и второй информационные

входы, подключенные к выходам 240-2 и 240-3 узла 232 выходных регистров.

Память 233 команд, АЛУ 234 и коммутатор 235 загрузки аналогичны соответствующим устройствам 105, 106 и 107 в составе исполнительного устройства 65.

Узел 236 входных регистров содержит управляющий и информационный входы 241-1, 241-2 и информационные выходы 242-1...242-5.

В состав узла 230 управления входят элементы ИЛИ 243-1, 243-2, элементы И 244-1, ... 244-4, 245-1, 245-2, элемент ИЛИ 246, элементы И 247-1, 247-2, элемент ИЛИ 248, приоритетный шифратор 249, элементы И 250-1, 250-2 и 251, триггеры 252-1...252-3, 253-1...253-3, элементы И 254-1...254-6, элемент ИЛИ 255, элемент И 256.

В состав узла 236 входных регистров входят регистры 257, 258-1 и 258-2 разрядов слова состояний, первого и второго операндов.

В состав узла 232 выходных регистров входят регистр 259 результата, первый и второй регистры 260-1, 260-2 номера команды, кода операций и регистр 261 признака состояний.

В состав дополнительного коммутатора 3 входят первое и второе устройства 262-1 и 262-2 управления, первое и второе устройства 263-1 и 263-2 коммутации.

Каждое устройство 262-1 (262-2) управления содержит вход 264 установки нуля, группу входов 265-1...265-N запроса, группу входов 266-1...266-N управления обменом, группу управляющих входов 267-1...267-N, группу выходов 268-1...268-N передач, группу выходов 269-1...269-N управления запросом на обмен, с первой по N-ю группы выходов 270-1...270-N управления коммутацией и группу выходов 271-1...271-N управления приемом.

Каждое устройство 263-1 (263-2) коммутации содержит с первой по N-ю группы входов 272-1-1...272-N-N управления коммутацией, группу входов 273-1... 273-N управления приемом, группу информационных входов 274-1...274-N, группу информационных выходов 275-1...275-N и группу управляющих выходов 276-1... 276-N.

В состав каждого устройства 262-1 (262-2) управления входит группа триггеров 277-1...277-N формирования сигналов готовности, узел 278 управления установкой готовности и блок 279 управления коммутацией.

Узел 278 управления установкой готовности содержит с первой по N-ю группы первых и вторых управляющих выходов 280-1-1, 280-2-1...280-1-N, 280-2-N, вход 281 установки нуля, с первой по третью группы управляющих входов 282-1...282-N, 283-1...283-N, 284-1...284-N, с первой по N-ю группы выходов 285-1-1... 285-N-N разрядов номера канала коммутатора и с первой по N-ю группы входов 286-1-1...286-N-N разрядов номера канала коммутатора.

Блок 279 управления коммутацией содержит с первой по N-ю группы выходов 287-1-1...287-N-N установки номера канала коммутации, первую и вторую группы управляющих выходов 288-1...288-N, 289-1...289-N, вход 290 установки нуля, с первой по N-ю группы первых и вторых

управляющих входов 291-1-1 и 291-2-1... 291-1-N и 291-2-N, группу управляющих входов 292-1...292-N, с первой по N-ю группы выходов 293-1-1... 293-N-N управления коммутирующими элементами, с первой по N-ю группы входов 294-1-1...294-N-N установки канала коммутации и третью группу управляющих выходов 295-1...295-N.

В каждое устройство 263-1 (263-2) коммутации входит генератор 296 импульсов высокой частоты, группа выходных регистров 297-1...297-N, группа узлов 298-1... 298-N преобразователей-приемников, группа элементов ИЛИ 299-1... 299-N, группа фотоприемников 300-1...300-N, первая группа оптических линзовых растров 301-1... 301-N, управляемый оптический транспарант 302, вторая группа оптических линзовых растров 303-1...303-N, группа дефлекторов 304-1... 304-N, группа лазерных излучателей 305-1...305-N, группа узлов 306-1... 306-N преобразователей-передатчиков, группа входных регистров 307-1...307-N.

Каждый узел 298-и преобразователя-приемника содержит управляющий выход 308, информационные выходы 308-1...308-M параллельного кода, первый и второй управляющие входы 309-1 и 309-2 и информационный вход 309-3 последовательного кода.

Каждый узел 306-и преобразователя-передатчика содержит информационный выход 310 последовательного кода, управляющий вход 311, группу входов 311-1... 31-N управления преобразованием и группу информационных входов 312-1... 312-N параллельного кода.

В состав узла 278 управления установкой готовности входит первая группа элементов ИЛИ 313-1...313-N, группа элементов И 314-1...314-N, вторая группа элементов ИЛИ 315-1...315-N, группа регистров 316-1...316-N и третья группа элементов ИЛИ 317-1...317-N.

В состав блока 279 управления коммутацией входят с первой по N-ю группы двухвходовых элементов И 318-1-1...318-N-N, с первой по N-ю группы N-входовых элементов И 319-1-1...319-N-N, с первой по N-ю группы триггеров 320-1-1... 320-N-N, узел 321 управления приоритетом и узел 322 приема входного запроса.

Узел 321 управления приоритетом содержит вход 323 установки нуля, с первой по четвертую группы управляющих выходов 323-1-1...323-1-N, 323-2-1... 323-2-N, 323-3-1...323-3-N, 323-4-1...323-4-N, с первой по N-ю группы входов 324-1-1... 324-N-N управления выборкой выходного канала и с первой по третью группы управляющих входов 325-1-1...325-1-N, 325-2-1...325-2-N, 325-3-1... 325-3-N.

В состав узла 321 управления приоритетом входят первый и второй приоритетные шифраторы 326 и 327, элемент ИЛИ 328, первая и вторая группы триггеров 329-1...329-N и 330-1...330-N состояния, первая группа элементов ИЛИ 331-1... 331-N, группа триггеров 332-1...332-N запроса, первая группа элементов И 331-1...333- N, вторая и третья группы элементов ИЛИ 334-1...334-N и 335-1... 335-N, вторая группа элементов И 336-1...336-N.

Узел 322 приема входного запроса

содержит группу управляющих входов и с первой по N-ю группы входов разрядов номера выходного канала, подключенных к входам 291-2-1...292-N и входам 294-1-1...294-N-N блока 279 управления коммутацией и группу управляющих выходов, подключенных к входам 325-1-1...325-1-N узла 321 управления приоритетом.

В состав узла 322 входит группа коммутаторов 337-1...337-N и группа дешифраторов 338-1...338-N.

В состав каждого узла 298-и преобразователя-приемника входят дешифратор 339, счетчик 340, элемент И 341 и усилитель-формирователь 342.

В состав каждого узла 306-и преобразователя-передатчика входят элемент ИЛИ 343, усилитель-формирователь 344, шифратор 345, счетчик 346 и элемент И 347.

В состав блока 5 буферизации входит группа узлов 348-1...348-N буферизации.

Каждый узел 348-и буферизации содержит первый и второй выходы 349-1 и 349-2 управления передачей пакета командных слов, первый информационный выход 349-3, первый и второй выходы 349-4 и 349-5 управления передачей пакета операндов, второй информационный выход 349-6, выход 349-7 внешнего обмена, входы установки нуля, управления передачей пакетов командных слов, управления передачей пакетов операндов, разрядов одинарного пакета, разрядов двойного пакета, управления передачей двойного пакета и внешнего обмена, подключенные соответственно к входам 31, 32-и...38-и блока 5 буферизации.

В состав каждого узла 348-и буферизации входит первый и второй буферы 350-1 и 350-2. При этом буфер 350-1 используется для временного хранения и передачи пакетов командных слов, а буфер 350-2- для временного хранения и передачи пакетов операндов. Оба буфера имеют одинаковую структуру и конфигурацию, отличаясь лишь внутренней логикой работы средств идентификации типа входного пакета.

Каждый буфер 350-1- (350-2) содержит первый и второй управляющие входы 351-1 и 351-2, первый и второй информационные входы 351-3 и 351-4, третий и четвертый управляющие входы 351-5 и 351-6, вход 351-7 внешнего обмена, первый и второй выходы 352-1 и 352-2 управления передачей, информационный выход 352-3 и выход 352-4 внешнего обмена.

В состав каждого буфера 350-1 (350-2) входит входной коммутатор 353, группа элементов ИЛИ 353-1...353-5, группа элементов И 354-1...354-4, регистровое запоминающее устройство - РЗУ 355 и соответствующее устройство 356-1 или 356-2 управления, входной коммутатор 357, первый и второй входные регистры 358-1 и 358-2.

Каждое устройство 356-1 (356-2) управления содержит управляющие выходы 359-1... 359-12, вход 360-1 установки нуля, первый вход 360-2 кода пакета, первый вход 360-3 управления приемом, второй вход 360-4 кода пакета, второй и третий входы 360-5 и 360-6 управления приемом и с первого по пятый управляющие входы 361-1...361-5.

В состав каждого устройства 356-1 (356-2)

управления входят приоритетный шифратор 362, счетчики 362-1 и 362-2, логические элементы И-363-1...363-4, триггеры 364-1... 364-3 и соответствующая группа дешифраторов 365-1-1... 365-1-3 или 365-2-1...365-2-3. При этом указанные группы дешифраторов выполняют функции средств идентификации входного абонента (тип пакета) и отличаются лишь функционированием внутренней логики: группа дешифраторов 365-1-1... 365-1-3 служит для идентификации пакета командных слов, а группа дешифраторов 365-2-1...365-2-3 - для идентификации пакета операндов.

В состав каждого модуля 4-й ассоциативной памяти входят буферный регистр 366 и ассоциативное запоминающее устройство - АЗУ 367, выполненное аналогично устройству по патенту РФ N 2035069 G 11 C 13/04, 1995.

АЗУ 367 содержит первый и второй информационные выходы 368-1 и 368-2, первый и второй управляющие выходы 369 и 370, первый, второй и третий управляющие входы 371-1... 371-3, первый и второй информационные входы 372-1 и 372-2.

Коммутатор 2 включает устройство 373 управления и устройство 374 коммутации, аналогичное устройству 263-1 (263-2) коммутации в составе дополнительного коммутатора 3.

Устройство 373 управления содержит выход 375 управления обменом, группу управляющих выходов 375-1...375-N, с первой по N-ю группы выходов 376-1-1... 376-N-N управления коммутацией каналов, выход 377 управления приемом, вход 378 установки нуля, с первой по N-ю группы входов, каждая из которых содержит управляющий вход 378-1-i и адресный вход 378-2-i, первую и вторую группы управляющих входов 379-1...379-N и 380-1...380-N.

Устройство 374 коммутации содержит группу информационных выходов 381-1... 381-N, группу информационных входов 382-1...382-N, с первой по N-ю группы входов 383-1-1...383-N-N управления коммутацией, группу управляющих выходов 384-1...384-N и группу входов 385-1...385-N управления приемом.

В устройство 373 управления входит группа триггеров 386-1...386-N формирования выходного запроса, узел 387 управления передачей, узел 388 управления приемом, узел 389 управления коммутацией, группа триггеров 390-1...390-N приема запроса, группа дешифраторов 391-1...391-N, группа входных регистров 392-1...392-N и группа элементов И 393-1...393-N.

Узел 387 управления передачей содержит с первой по N-ю группы управляющих выходов, каждая из которых содержит первый и второй выходы 394-1-i и 394-2-i установки запроса, вход 395 установки нуля, с первой по N-ю группы входов 396-1-1...396-N-N управления запросом, первую и вторую группы управляющих входов 397-1...397-N и 398-1...398-N.

Узел 388 управления приемом содержит первый управляющий выход 399, группу выходов 399-1...399-N управления приемом, второй управляющий выход 400, с первой по N-ю группы входов, каждая из которых включает первый и второй входы 401-1-i и

401-2-i передачи состояния, группу управляющих входов 402-1...402-N, вход 403 установки нуля, с первой по N-ю группы входов 404-1-1...404-N-N управления сбросом.

Узел управления коммутацией содержит с первой по N-ю группы управляющих выходов 405-1-1...405-N-N, с первой по N-ю группы входов 406-1-1...406-N-N управления приоритетом и группу управляющих входов 407-1...407-N.

В состав узла 387 управления передачей входит первая группа элементов ИЛИ 408-1...408-N, группа элементов И 409-1...409-N и вторая группа элементов ИЛИ 410-1...410-N.

В состав узла 388 управления приемом входит триггер 411, группа элементов ИЛИ 411-1...411-N, первый и второй элементы ИЛИ 412-1 и 412-2, с первой по N-ю группы элементов И 413-1-1...413 -N-N, элементы И 414, 415-1 и 415-2.

В состав узла 389 управления коммутацией входит группа приоритетных шифраторов 416-1... 416-N и с первой по N-ю группы элементов ИЛИ 417-1-1... 417-N-N.

Принципы организации вычислений с управлением от потока данных предполагают, что алгоритм решения задачи представляется в виде графа вычислительного процесса, состоящего из операторов (команд) над данными (операндами) и указателей (направлений), по которым данные (результаты перемещаются от команды к команде (фиг. 34).

Обработка данных в соответствии с порядком, определяемым графом, ведется по мере того, как на входах команд образуются готовые к обработке данные. Поиск готовых пар данных, относящихся к конкретной команде, производится в памяти объединений, реализованной на базе ассоциативной памяти, которая осуществляет их поиск по ключу. Ключом, как правило, является код, состоящий из разрядов номера команды, индекса, итерации и т.п. При этом наилучшей аппаратной реализацией с точки зрения соотношений объема и быстродействия будет реализация такой памяти на оптических элементах, а с точки зрения увеличения производительности ее работы оптимальным будет являться расслоение общего ее объема на отдельные модули.

Каждая команда имеет номер K-i, который может быть использован для размещения ее в памяти команд, код операции- КОП-i и "адрес назначения" в виде номера K-j-той команды, к которой будет относиться полученный результат обработки.

Кроме того, команда имеет признаки, определяющие условия ее обработки или ее тип. Команда может быть двухвходовой или одновходовой, в зависимости от того, над сколькими операндами (одним или двумя) производятся действия, определяемые кодом операции. Команда может быть двухадресной или одноадресной, в зависимости от того, по скольким направлениям (на вход скольких команд) передается результат ее исполнения. Например, команда K1 (фиг. 34) является одновходовой двухадресной, команда K2 (K4) - двухвходовой одноадресной, команда K3 - одновходовой одноадресной.

Операция, определяемая разрядами КОП данной команды, может выполняться над

данными, являющимися числами (операндами), и над данными, являющимися служебной информацией (командными словами). К первой функциональной группе команд относятся арифметические операции, или операции обработки операндов, а ко второй группе - операции обработки командных слов.

Для организации процесса обработки графа используется соответствующая структура представления команд и данных в виде информационных объектов, состоящих из многоразрядных слов, где соответствующие группы разрядов образуют поля с необходимым функциональным назначением (фиг. 35).

Обработка команд осуществляется двумя типами исполнительных устройств, на вход которых поступает информация в виде пакетов операндов и пакетов командных слов. В общем случае пакет включает слово состояний и два слова данных, которые являются либо операндами либо несут служебную информацию. При этом пакет одновходовой команды содержит слово состояний и только одно слово данных.

Слово состояний включает следующие базовые группы функциональных разрядов (поля):

КОП - код операции;  
К - номер команды;  
П - номер поколения;  
Т - номер итерации;  
И - индекс.

Функциональные поля слова состояния, представляющие служебную информацию, могут использоваться по-разному. В частности, ключевая группа разрядов для поиска данных в модулях ассоциативной памяти определяется полями К, П, Т, И. В состав поля КОП, кроме того, могут входить разряды, указывающие на тип команды (одноадресная, двухадресная, одновходовая, двухвходовая) и на тип пакета (пакет командных слов, пакет операндов).

Если команда имеет два выхода, то результат ее обработки будут сопровождать два слова состояний, что соответствует двум направлениям его передачи.

Разрядные группы признаков, определяющие тип команды-приемника, хранятся в памяти команд и считываются оттуда вместе с ее номером и кодом операции.

Вычислительная система (фиг. 1) обеспечивает выполнение программы, загружаемой по входам 7 и 8 загрузки, и выдает результат обработки по выходу 9. Система реализует собственный параллелизм вычислительного процесса, процесса, представленного графом, производя одновременную обработку всех готовых и исполнению команд. При этом в память 105 (233) команд исполнительных устройств 65 и 66 каждого процессорного модуля 1-й помещаются все команды исполняемой программы с учетом того, что в память 105 записывается команды для обработки командных слов, а в память 233 - команды для обработки операндов.

Загрузка команд (фиг. 5 и 11) осуществляется через первые и вторые информационные входы 13-1 и 15-1 и коммутаторы 107 и 235 загрузки соответственно для исполнительного

устройства 65 и 66.

Инициализация работы системы осуществляется подачей на вход 10 инициализации стартовых пакетов командных слов и операндов от внешней (на фиг. 1 не показано) машины или системы.

Стартовые пакеты вместе с соответствующими управляющими сигналами поступают на вход 38-й инициализации блока буферизации 5. При этом общее число задействованных входов будет определяться условиями запуска конкретной программы.

Блок 5 буферизации служит для сглаживания пика входных запросов на входах дополнительного коммутатора 3. Использование блока 5 буферизации в процессе запуска является его дополнительной функцией.

Разряды стартовых пакетов поступают на вход внешнего обмена узла 348-й буферизации, выполняющего в данном случае стартовые функции, и далее на вход 351-7 внешнего обмена первого и второго буфера 350-1 и 350-2 (фиг. 25), откуда они передаются на четвертый информационный вход выходного коммутатора 353 (фиг. 26). При этом управление коммутацией осуществляется по его четвертому управляющему входу, куда через элемент И 354-4 поступает соответствующий сигнал с управляющего выхода 359-12 устройства 356-1 (356-2) управления. Указанный сигнал управления формируется (фиг. 27) на выходе дешифратора 365-1-3 (365-2-3), на вход которого поступает кодовая группа разрядов, определяющая тип стартового пакета. В зависимости от этого, сигнал управления коммутатором 353 будет формироваться либо в буфере 350-1 (прием командных слов), либо в буфере 350-2 (прием операндов).

Если пакет инициализации содержит операнды, то разряды пакета с выхода 352-3 буфера 350-2 передаются (через второй информационный выход узла 348-й и выход 45-й блока 5 буферизации) на вход 28-й второй группы информационных входов дополнительного коммутатора 3.

Информация на выходе 45-й блока 5 буферизации сопровождается стробом передачи (сигналом "значимости"), который является управляющим сигналом запроса на обмен и передается с выхода 44-й четвертой группы управляющих выходов блока 5 буферизации на вход 26-й второй группы входов запроса дополнительного коммутатора 3.

Основная функция дополнительного коммутатора 3 - распределить все пришедшие на его входы пакеты по своим занятым выходам.

Строб передачи и разряды пакета операндов, поступившие соответственно на входы 26-й и 28-й коммутатора 3, передаются на входы 265-й запроса и информационный вход 274-й соответственно устройства 262-2 управления и устройства 263-2 коммутации (фиг. 15-17).

Разряды пакета операндов, поступившие на вход 274-й устройства 263-2 коммутации, принимаются на входной регистр 307-й. При этом сигнал управления приемом формируется на выходе 271-й устройства 262-2 управления.

Коммутация, включающая передачу разрядов пакета со входа 274-й устройства

263-2 коммутации на его информационный выход 275-j, соответствующий первому "свободному" выходному регистру из группы 297-1...297-N, осуществляется с помощью пространственной оптической системы.

С выхода регистра 307-i параллельный код разрядов пакета поступает на входы 312-1...312-M узла 306-i преобразователя-передатчика.

Сформированный на его выходе 310 последовательный код поступает на лазерный излучатель 305-i. Сигнал лазера, соответствующий последовательному коду, через оптическую систему, включающую управляемый дешифратор 304-i, группу оптических линзовых растров 303-1...303-N, управляемый оптический транспарант 302 и группу оптических линзовых растров 301-1...301-N, поступает на вход фотоприемника 300-j, с выхода которого последовательный код входного пакета поступает на информационный вход 309-3 узла 298-j преобразователя-приемника. При этом на выходах регистра 297-j формируется параллельный код, соответствующий разрядным группам пакета на входе 274-i узла 263-2 коммутации, а на выходе 308 узла 298-j формируется сигнал, определяющий конец формирования выходного параллельного кода.

Устройство 263-2 коммутации (фиг. 17) осуществляет передачу информации с любого из входов 274-1...274-N на любой из выходов 275-1...275-N, определяемого свободным регистром из группы регистров 297-1...297-N, что соответствует режиму коммутации по "свободному" адресу. Сигналы, управляющие соответствующим преобразованием информации и коммутацией пространственной оптической сети, поступают на входы 272-1-1...272-N-N устройства 263-2 коммутации с выходов 270-1-1...270-N-N устройства 262-2- управления (фиг. 15)

Формирование указанных сигналов производится (фиг. 16, 19, 20) в блоке 279 управления коммутацией при поступлении на его вход 292-i строба передачи со входа 265-i устройства 262-2 управления. При этом на выход 269-j устройства 262-2 управления (фиг. 16) поступает строб передачи пакета, формируемый на триггере 277-j группы триггеров формирования сигнала готовности.

Передача пакета командных слов происходит аналогично, с использованием идентичных функциональных структур блока 5 буферизации и дополнительного коммутатора 3.

Строб передачи и разряды пакета операндов соответственно через выходы 30-3-j и 30-4-j дополнительного коммутатора 3 поступают на входы 16-1 и 16-2 процессорного модуля 1-j (фиг. 1) и на соответствующие входы исполнительного устройства 66 (фиг. 2).

При этом строб передачи через соответствующий вход исполнительного устройства 66 поступает на вход 237-4 узла 230 управления (фиг. 11), а разряды пакета операндов поступают на информационный вход 241-2 узла 236 входных регистров.

Прием функциональных полей пакета операндов (фиг. 13) на регистр 257 слова состояний и регистры 258-1 и 258-2 операндов производится по сигналу управления приемом на входе 241-1 узла 236

входных регистров, с выхода 242-1 которого разряды номера команды через информационный вход коммутатора 235 загрузки поступают на адресный вход памяти 233 команд, на вход управления чтением которой поступает сигнал управления пуском с выхода 238-5 узла 230 управления.

Разряды кода операций и разряды операндов с выходов 242-2 и 242-3, 242-4 узла 236 входных регистров, сопровождаемые сигналом управления пуском, поступают на соответствующие входы АЛУ 234, а разряды функциональных полей П, Т, И - на вход 239-6 узла 232 выходных регистров, на вход 239-5 которого поступают разряды функциональных полей с информационного выхода памяти 233 команд, содержащие код операций и номер команды, для которой предназначен результат вычислений, в свою очередь поступающий на вход 239-4 узла 232.

При этом на входы 239-1, 239-2 и 293-3 узла 232 выходных регистров поступают соответствующие сигналы, реализующие управление приемом результата АЛУ на регистр 259, разрядных полей К и КОП очередной команды на регистры 260-1 и 260-2 и разрядных полей П, Т, И на регистр 261, а на его выходах 240-1, 240-2 и 240-3 формируются функциональные поля результата обработки текущей команды (полу пакета), отражающие принцип вычислений, представляемый графом вычислительного процесса, которые поступают соответственно на вход 95 исполнительного устройства 66 и на информационные входы выходного коммутатора 231, на управляющие входы которого поступают сигналы управления с выходов 238-1 и 238-2 узла 230 управления. Выход коммутатора 231 подключен к выходам 94-96 исполнительного устройства 66. При этом на выход 94 передается информационное поле, соответствующее группе младших разрядов номера команды, размещенного на регистре 260-1 (260-2). Эта группа разрядов выполняет функцию номера модуля ассоциативной памяти из группы модулей 4-1...4-N, за счет чего реализуется распределение полу пакетов по модулям ассоциативной памяти при соответствующей равномерности их заполнения. Функции выходного коммутатора 231 определяются условием наличия двух адресных команд, т.е. команд, результат обработки которых служит входным операндом для двух следующих команд (имеющих различные номера и различные коды операций). Это условие реализуется наличием двух выходных регистров 260-1 и 260-2 команд, содержимое которых последовательно передается через коммутатор 231 на выходы 94 и 96, сопровождая результат, поступающий на выход 95.

Сигналы управления выходным коммутатором 231 формируются при поступлении на входы 237-5 и 237-6 узла 230 управления функциональных полей типа команды и строба передачи соответственно с информационного и управляющего выходов памяти 233 команд, а на вход 237-7 - сигнала значимости результата с информационного выхода АЛУ.

Функциональные поля типа команды включают признаки: 1А (одноадресная

команда), 2 А (двухадресная команда), 1В (одновходовая команда) и 2В (двухходовая команда), которые поступают (фиг. 12) на триггеры 254-2... 254-5, с учетом состояния которых происходит формирование управляющих сигналов на выходах 238-1 и 238-2 узла 230 управления. При этом на выходах 91 и 92 исполнительного устройства 66 формируются стробы передачи, соответствующие режимам одно- или двухходовых команд, а на выходах 95 и 96 соответствующие этим режимам разряды функциональных полей полупакета.

Разряды полупакета с выходов 95 и 96 в режиме одновходовой и в режиме двухходовой команды передаются на выходы 20-1, 20-2 и 20-4 и 20-5 j-го процессорного модуля соответственно через коммутаторы 61 и 62, управление которыми производится с выходов 76-1 и 76-2 узла 63 и выходов 80-1 и 80-2 узла 64. При этом формирование управляющих сигналов производится при поступлении на вход 73 узла 63 и вход 78 узла 64 стробов передачи соответственно с выходов 92 и 91 исполнительного устройства 66. Информация о номере модуля ассоциативной памяти с выхода 94 исполнительного устройства 66 поступает на выход 20-3 процессорного модуля только в режиме двухходовой команды, поскольку исполнение одновходовой команды не требует поиска второго операнда.

В случае когда результат (операнд) на выходе соответствующего исполнительного устройства относится к двухходовой команде, поиск парного операнда осуществляется в модуле ассоциативной памяти, номер которого, именуемый в дальнейшем адресом, определяется разрядной группой на выходе 20-3 процессорного модуля. Доступ к группе модулей 4-N ассоциативной памяти реализуется с помощью коммутатора 2 (фиг. 29).

При этом на управляющий, адресный и информационный входы 54-j, 55-j и 57-j коммутатора 2 поступают разряды управления, номера модуля памяти и функциональных полей полупакета с выходов 19-4, 20-3 и 20-4, 20-5 j-го процессорного модуля соответственно.

Коммутатор 2, в состав которого входят устройство 373 управления и устройство 374 коммутации, осуществляет передачу данных в отличие от коммутатора 3 по "фиксированному" адресу на выходе, который определяется заданным номером k модуля ассоциативной памяти.

Условия коммутации реализуются в устройстве 373 управления (фиг. 30), на входы 378-1-j и 378-2-j которого поступает соответствующая управляющая информация с входов 54-j и 55-j коммутатора 2. При этом производится прием адреса на регистр 392-j, установка триггера 390-j запроса, формирование на k-м выходе дешифратора 391-j позиционного кода, соответствующего k-му модулю ассоциативной памяти и передача этих сигналов на входы 407-1...407-N и 406-1-1...405-N-N узла 389 управления коммутацией, на выходах 405-1-1...405-N-N которого формируются сигналы управления коммутацией, поступающие на выходы 376-1-1...376-N-N устройства 373 управления.

Указанные сигналы формируются на выходах приоритетных шифраторов 416-1... 416-N (фиг. 33), которые выполняют функцию схем приоритета, реализуя организацию очереди запросов к каждому конкретному модулю ассоциативной памяти.

Сигналы управления с выходов 376-1-1...376-N-N устройства 373 управления передаются на группу входов 383-1-1...383-N-N управления коммутацией устройства 374 коммутации, структура и функционирование которого полностью аналогичны устройству 263-1 (263-2) коммутации коммутатора 3. При этом на вход 383-j-k устройства 374 коммутации поступает сигнал управления k-м входом j-го дефлектора из группы 304-1...304-N (фиг. 17), а на выход 59-k коммутатора 2 при этом передаются разрядные поля, соответствующие его информационному входу 57-j. Соответствующий строб передачи формируется на триггере 386-k (фиг. 30) и через выход 375-k устройства 373 управления поступает на выход 60-k коммутатора 2.

Разряды функциональных полей полупакета и строб передачи с выходом 59-k и 60-k коммутатора 2 поступают на входы 48 и 49 модуля 4-k ассоциативной памяти, и при этом разрядное поле слова состояний (в качестве ключа ассоциативного поиска), разрядное поле операнда и строб передачи поступают соответственно на входы 372-1, 372-2 и 371-2 ассоциативного запоминающего устройства - АЗУ 367. Разрядное поле слова состояний, кроме того, поступает на информационный вход буферного регистра 366, на управляющий вход которого поступает строб передачи с входа 49 модуля ассоциативной памяти.

Полупакет, которому не находится пары, "оседает" в памяти.

При наличии же в АЗУ 367 соответствующего парного операнда на выходах 368-1 и 368-2 формируются разрядные поля первого и второго операндов, которые вместе с разрядным полем слова состояний (на выходе регистра 366) поступают на информационный выход 51 модуля 4-k ассоциативной памяти, на выход 52 которого при этом поступает строб передачи, сформированный на первом управляющем выходе 369 АЗУ 367.

Сформированный на выходе 51 k-го модуля ассоциативной памяти очередной пакет передается на вход 36-k блока 5 буферизации и поступает на соответствующий вход узла 348-k буферизации, на вход 37-k которого через соответствующий вход блока 5 буферизации поступает строб передачи с выхода 52 модуля 4-k ассоциативной памяти.

При этом если поступивший пакет является пакетом операндов, то разряды его функциональных полей принимаются на регистр 358-2 буфера 350-2, а соответствующий сигнал управления приемом формируется на выходе 359-9 устройства 356-2 управления.

С выхода регистра 358-2 разрядные поля пакета поступают на второй информационный вход коммутатора 353, на соответствующий управляющий вход которого поступает сигнал управления коммутацией с выхода элемента И 354-1, который передается вместе с разрядными полями на первый выход



коммутатора 353, выполняя функцию stroba передачи, который окончательно формируется на выходе элемента ИЛИ 353-1.

При этом если свободен соответствующий входной регистр 307-к в устройстве коммутации 263-2 коммутатора 3, то на вход 28-к коммутатора 3 передается пакет операндов с первого выхода коммутатора 353, через выход 352-3 буфера 350-2, через выход 349-6 узла 348-к буферизации и выход 45-к блока 5. Соответственно strob передачи поступает на вход 26-к коммутатора 3 с выхода 44-к блока 5 буферизации, и повторяется очередной цикл обработки.

В том случае когда закрыт прием в коммутатор 3, в случае занятости регистра 307-к в устройстве 263-2 коммутации на вход 33-к блока 5 буферизации поступает сигнал блокировки передачи, который через соответствующий вход узла 348-к передается на вход 351-1 буфера 350-2, откуда поступает на вход 361-2 устройства 356-2 управления и вход элемента ИЛИ 353-5, на выходе которого формируется сигнал управления, поступающий на пятый управляющий вход коммутатора 353. При этом информация со второго входа коммутатора 353 поступает на его второй выход, откуда передается на вход РЗУ 355, сопровождаемая сигналом записи с выхода 359-11 устройства 356-2 управления. Запись информации в РЗУ 355 будет производиться до снятия сигнала блокировки на входе 33-к блока 5 буферизации. В случае снятия этого сигнала и при отсутствии информации на регистрах 358-1, 358-2 и на четвертом информационном входе коммутатора 353 производится передача разрядов пакета из РЗУ 355 через третий информационный вход коммутатора 353 на вход 352-2 буфера 350-2 и на соответствующий вход 45-к блока 5 буферизации и через соответствующие входы/выходы коммутатора 3 на вход 16-2 к-го процессорного модуля.

Если при этом полученный в исполнительном устройстве 66 результат не требует поиска соответствующей пары, что определяется условием одновходовой команды, то результат обработки и соответствующий strob передачи формируются соответственно на выходах 20-1, 20-2 и 19-3 к-го процессорного модуля, куда они поступают с соответствующих выходов коммутатора 61 и узла 63 управления (фиг. 2). Процесс формирования разрядных полей результата и соответствующих управляющих сигналов производится в соответствии с аналогичным процессом формирования результата двухвходовой команды. При этом разряды полупакета и strob передачи поступают на входы 34-к и 35-к блока 5 буферизации.

Если поступивший полупакет является командным словом, то он принимается на регистр 358-1 буфера 350-1. Соответствующий управляющий сигнал формируется на выходе 369-8 устройства 356-1 управления. Разряды полупакета с выхода регистра 358-1 поступают на информационный вход коммутатора 357, с первого информационного выхода которого разряды полупакета поступают на первый информационный вход коммутатора 353. Соответствующий сигнал управления коммутацией, поступающий на его первый

управляющий вход, формируется на выходе элемента И 354-2, на вход которого поступает управляющий сигнал с выхода 359-4 устройства 356-1 управления (фиг. 25, 27).

Второй информационный выход коммутатора 357 используется для передачи результатов вычислений на внешнюю управляющую систему. При этом соответствующий управляющий сигнал формируется на первом выходе дешифратора 365-1-1, на вход которого поступают разряды кода, определяющего тип полупакета, а информация со второго информационного выхода коммутатора 357 вместе со stroбом передачи с выхода 359-7 устройства 356-1 управления поступает на выход 352-4 буфера 350-1 и через выход 349-7 узла 348-к и выход 43-к блока 5 передаются на выход 9 результата.

Обработка разрядных полей пакета в исполнительном устройстве 65 включает определяемые системой команд операции над функциональными полями слова состояний, которые реализуются в блоке 103 коммутации (фиг. 5, 7), на входы 113-1...113-12 которого через выход 111-3 блока 101 управления поступают соответствующие управляющие сигналы, формирующиеся на выходах дешифратора 137. При этом в блоке 103, на выходах 203...222 узла 172 управления формируются (фиг. 7) сигналы управления группой коммутатора 173...178, на информационные входы которых передаются соответствующие разряды функциональных полей слова состояний, поступающие с выходов 122-2...122-11 узла 108 входных регистров. Сформированные таким образом на регистрах 161...171 модифицированные поля слова состояний и данных через информационные выходы узла 103 поступают на входы 112-3 и 112-4 выходного коммутатора 102, а с его выхода - на информационные выходы 86 и 88 исполнительного устройства 65.

Кроме операций по модификации функциональных полей, в исполнительном устройстве 65 выполняются операции определения отношений (например, между значениями данных на двух входах команды или между значениями отдельных функциональных групп разрядов). Операции такого вида реализуются в АЛУ 106.

В остальном работа функциональных узлов исполнительного устройства 65 происходит аналогично работе соответствующих узлов исполнительного устройства 66. На соответствующих управляющих и информационных выходах 19-3, 20-1 и 20-2 (19-4, 20-3, 20-4 и 20-5) к-го процессорного модуля формируются stroбы передачи и разряды функциональных полей результирующего пакета, реализующих начало очередного цикла вычислений. При этом каждый процессорный модуль производит обработку команд без взаимной синхронизации с каждым из остальных N-1 процессорных модулей.

Таким образом, введение в состав вычислительной системы дополнительного коммутатора, модулей ассоциативной памяти и блока буферизации позволило устранить взаимообмен и необходимую при этом приостановку работы процессорных модулей, что обеспечило повышение производительности вычислительной



системы за счет увеличения загрузки процессорных модулей и достигаемого при этом сокращения времени исполнения рабочих программ. При этом автоматически достигается высокий параллелизм работы процессорных модулей и полностью отсутствует необходимость в распределении групповых параллельных процессов по отдельным вычислительным структурам (исполнительным устройствам) внутри каждой исполняемой программы или между программами, как правило возлагаемое на человека, который при увеличении числа параллельных вычислительных структур не в состоянии справиться с этой задачей.

### Формула изобретения:

1. Вычислительная система, содержащая коммутатор и N процессорных модулей, выходы управления передачей результата двухвходовой команды и выходы разрядов адреса i-го процессорного модуля (где  $i = 1 \dots N$ ) подключены соответственно к i-му управляющему и i-му адресному входам группы входов управления приемом коммутатора, выходы разрядов результата двухвходовой команды и разрядов состояний двухвходовой команды i-го процессорного модуля подключены к соответствующему разряду i-го входа группы информационных входов коммутатора, выход сигнала управления обменом которого соединен с входом управления блокировкой передачи результата двухвходовой команды i-го процессорного модуля, выход разрядов сбоя вычислений которого соединен с первым выходом результата системы, первые информационный, адресный, управляющий и вторые информационный, адресный, управляющий входы загрузки i-го процессорного модуля подключены к входам соответственно первой и второй групп входов загрузки команд системы, вход сигнала установки нуля которой подключен к входу установки нуля коммутатора и входу установки нуля каждого процессорного модуля, второй выход результата и вход инициализации, отличающаяся тем, что введены дополнительный коммутатор, N модулей ассоциативной памяти, блок буферизации и вход обнуления памяти, причем первые управляющий и информационный, вторые управляющий и информационный выходы каждой группы выходов дополнительного коммутатора соединены с первым входом управления пуском, первым информационным входом данных, вторым входом управления пуском и вторым информационным входом данных каждого процессорного модуля, соответственно, выходы первой группы выходов управления обменом дополнительного коммутатора подключены соответственно к первым управляющим входам каждой группы входов буферизации пакетов блока буферизации, входы инициализации каждой группы входов буферизации пакетов и группа выходов внешнего обмена которого подключены к входу инициализации и второму выходу результата системы соответственно, выходы второй группы выходов управления обменом дополнительного коммутатора подключены к соответствующим вторым управляющим входам каждой группы входов буферизации пакетов блока буферизации, вход установки

нуля дополнительного коммутатора, вход установки нуля блока буферизации и первый управляющий вход каждого модуля ассоциативной памяти соединены с входом сигнала установки нуля системы, к входу обнуления памяти которой подключены вторые управляющие входы каждого модуля ассоциативной памяти, входы первой и второй групп входов управления обменом дополнительного коммутатора соединены соответственно с выходами управления блокировкой приема командных слов и управления блокировкой приема операндов процессорных модулей, входы управления блокировкой передачи командных слов и управления блокировкой передачи данных каждого из которых подключены к соответствующим выходам первой и второй групп управляющих выходов блока буферизации, выходы третьей группы управляющих выходов и выходы первой группы информационных выходов которого соединены соответственно с входами первой группы входов запроса и входами первой группы информационных входов дополнительного коммутатора, входы второй группы входов запроса которого соединены с соответствующими выходами четвертой группы управляющих выходов блока буферизации, разряды первого информационного входа i-й группы входов буферизации пакетов которого соединены соответственно с выходами разрядов результата одновходовой команды и разрядов состояний одновходовой команды i-го процессорного модуля, выход управления передачей результата одновходовой команды которого соединен с третьим управляющим входом одноименной группы входов буферизации пакетов блока буферизации, выходы второй группы информационных выходов которого соединены с соответствующими входами группы информационных входов дополнительного коммутатора, первый управляющий выход i-го модуля ассоциативной памяти соединен с i-м входом группы входов управления передачей коммутатора, информационный выход i-й группы выходов обмена которого подключен к информационному входу i-го модуля ассоциативной памяти, информационный и второй управляющий выходы которого подключены к второму информационному и четвертому управляющему входам одноименной группы входов буферизации пакетов блока буферизации, а управляющий выход i-й группы выходов обмена коммутатора подключен к третьему управляющему входу i-го модуля ассоциативной памяти.

2. Система по п.1, отличающаяся тем, что каждый процессорный модуль содержит первый и второй коммутаторы, первый и второй узлы управления, исполнительное устройство обработки командных слов и исполнительное устройство обработки операндов, причем первый и второй управляющие входы первого коммутатора подключены к первому и второму выходам управления коммутацией первого узла управления, выход управления передачей командных слов которого соединен с входом блокировки готовности одновходовой команды исполнительного устройства обработки командных слов, выход разряда

готовности двухвходовой команды которого подключен к входу признака готовности командных слов второго узла управления, первый и второй выходы управления коммутацией которого соединены с первым и вторым управляющими входами второго коммутатора, первый, второй и третий информационные входы которого подключены к выходу разрядов номера модуля, выходу разрядов результата и выходу разрядов состояния исполнительного устройства обработки командных слов соответственно, выход разряда готовности одновходовой команды которого соединен с входом признака готовности командных слов первого узла управления, выход управления передачей операндов которого соединен с входом блокировки готовности одновходовой команды исполнительного устройства обработки операндов, выход разряда готовности одновходовой команды которого соединен с входом признака готовности операндов первого узла управления, входы управления передачей данных и управления передачей командных слов которого являются входами управления блокировкой передачи данных и управления блокировкой передачи командных слов процессорного модуля соответственно, вход управления блокировкой передачи результата двухвходовой команды которого соединен с входом управления передачей второго узла управления, вход признака готовности операндов которого соединен с выходом разряда готовности двухвходовой команды исполнительного устройства обработки операндов, выход управления приемом операндов которого подключен к выходу управления блокировкой приема операндов процессорного модуля, выходы управления передачей результата одновходовой команды и управления блокировкой приема командных слов которого соединены с выходом управления передачей одновходовой команды первого узла управления и выходом управления приемом командных слов исполнительного устройства обработки командных слов соответственно, вход блокировки готовности двухвходовой команды которого подключен к выходу управления передачей командных слов второго узла управления, выход управления передачей операндов которого соединен с входом блокировки готовности двухвходовой команды исполнительного устройства обработки операндов, выходы разрядов номера модуля, разрядов результата и разрядов состояния которого подключены к четвертому, пятому и шестому информационным входам второго коммутатора соответственно, первый, второй и третий информационные выходы которого соединены с выходами разрядов адреса, разрядов результата двухвходовой команды и разрядов состояний двухвходовой команды процессорного модуля соответственно, выходы разрядов результата одновходовой команды и разрядов состояний одновходовой команды которого подключены к первому и второму информационным выходам первого коммутатора соответственно, первый и второй информационные входы которого соединены с выходами разрядов результата и разрядов состояния исполнительного устройства обработки командных слов соответственно, третий и четвертый

информационные входы первого коммутатора соединены соответственно с выходами разрядов результата и разрядов состояния исполнительного устройства обработки операндов, выход разрядов сбоя вычислений которого подключен к выходу разрядов сбоя вычислений процессорного модуля, первый информационный и первый адресный входы загрузки которого соединены с информационным и адресным входами загрузки исполнительного устройства обработки командных слов соответственно, выход разрядов сбоя вычислений которого соединен с выходом сбоя вычислений процессорного модуля, второй информационный и второй адресный входы которого подключены к информационному и адресному входам загрузки исполнительного устройства обработки операндов, вход установки нуля которого соединен с входом установки нуля процессорного модуля, первый управляющий вход загрузки которого подключен к управляющему входу загрузки исполнительного устройства обработки командных слов, вход управления пуском которого соединен с первым входом управления пуском процессорного модуля, первый информационный вход данных которого подключен к входу разрядов пакета исполнительного устройства обработки командных слов, вход установки нуля которого подключен к входу установки нуля процессорного модуля, второй вход управления пуском и второй информационный вход данных которого соединены с входом управления пуском и входом разрядов пакета исполнительного устройства обработки операндов соответственно, управляющий вход загрузки которого подключен к второму управляющему входу загрузки процессорного модуля, а выход управления передачей результата двухвходовой команды которого соединен с выходом управления передачей двухвходовой команды второго узла управления.

3 Система по п.1, отличающаяся тем, что дополнительный коммутатор содержит первое и второе устройство управления и первое и второе устройство коммутации, причем выходы группы выходов управления передачей первого и второго устройств управления подключены к выходам первой и второй групп выходов управления обменом дополнительного коммутатора, первый и второй управляющие выходы i-й группы выходов обмена которого соединены с i-ми выходами группы выходов управления соответственно, входы установки нуля которых подключены к выходу установки нуля дополнительного коммутатора, входы первой и второй групп информационных входов которого соединены с входами группы информационных входов первого и второго устройств коммутации соответственно, i-е выходы группы информационных входов которых подключены к первым и вторым информационным выходам i-й группы выходов обмена дополнительного коммутатора, входы первой и второй групп входов управления обменом которого соединены с входами группы входов управления обменом первого и второго устройств управления соответственно, входы группы входов запроса которых подключены к

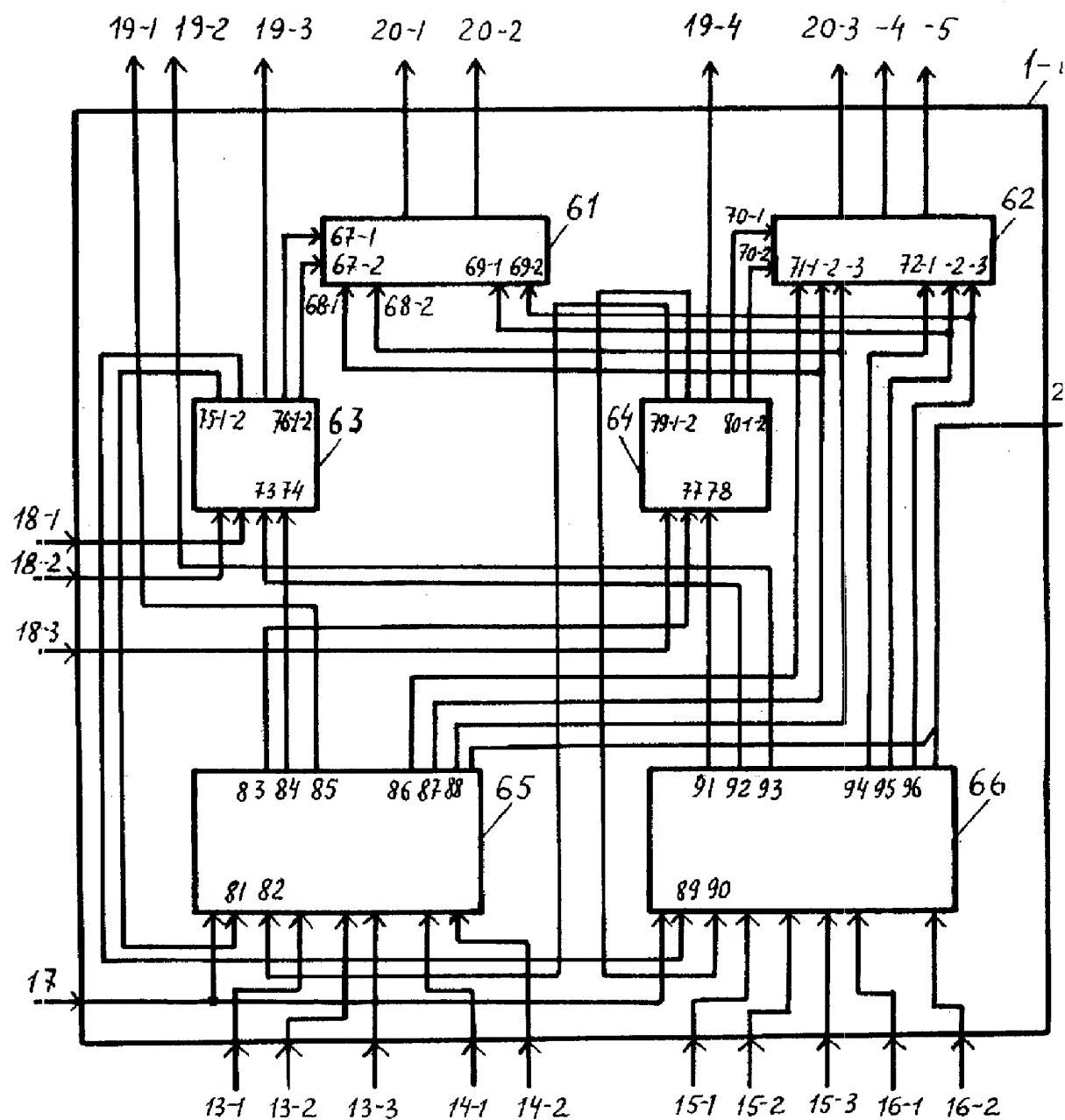
входам первой и второй групп входов запроса дополнительного коммутатора соответственно, а выходы каждой i-й группы выходов управления коммутацией первого и второго устройств управления соединены с входами i-й группы входов управления коммутацией первого и второго устройств коммутации соответственно, группа управляющих выходов каждого из которых подключена к группе управляющих входов первого и второго устройств управления соответственно, выходы группы выходов управления приемом каждого из которых соединены с входами группы входов управления приемом первого и второго устройств коммутации соответственно.

4. Система по п. 1, отличающаяся тем, что блок буферизации содержит N узлов буферизации, причем первый и второй выходы управления передачей пакета командных слов i-го узла буферизации соединены с i-ми выходами первой и третьей групп управляющих выходов блока буферизации соответственно, первый и второй управляющие входы i-й группы входов буферизации пакетов которого подключены к входу управления передачей пакетов командных слов и входу управления передачей пакетов операндов соответствующего i-го узла буферизации,

первый и второй выходы управления передачей пакета операндов которого соединены с соответствующими i-ми выходами второй и четвертой групп управляющих выходов блока буферизации, третий и четвертый управляющие входы i-й группы входов буферизации пакетов которого подключены к входу управления передачей одинарного пакета и входу управления передачей двойного пакета i-го узла буферизации соответственно, первый и второй информационные выходы которого соединены с соответствующими i-ми выходами первой и второй групп информационных выходов блока буферизации соответственно, первый и второй информационные входы i-й группы входов буферизации пакетов которого подключены к входу разрядов одинарного пакета и входу разрядов двойного пакета i-го узла буферизации соответственно, выход внешнего обмена которого соединен с i-м выходом группы выходов внешнего обмена блока буферизации, вход установки нуля которого подключен к входу установки нуля каждого узла буферизации, вход внешнего обмена которого соединен с входом инициализации соответствующей i-й группы входов буферизации пакетов блока буферизации.

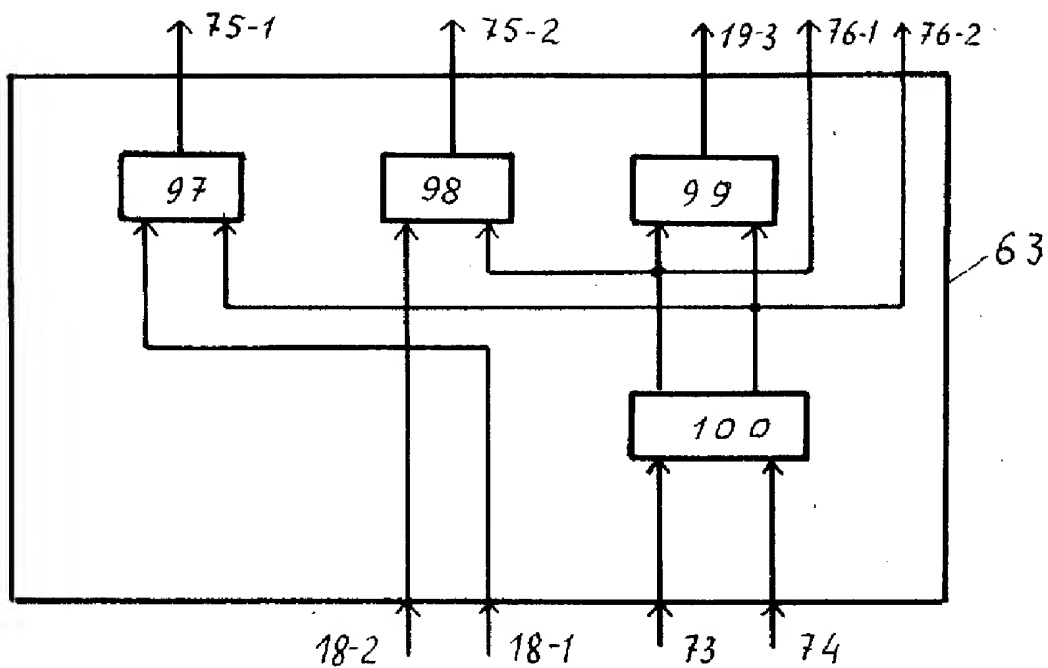
5  
10  
15  
20  
25  
30  
35  
40  
45  
50  
55  
60

RU 2110089 C1

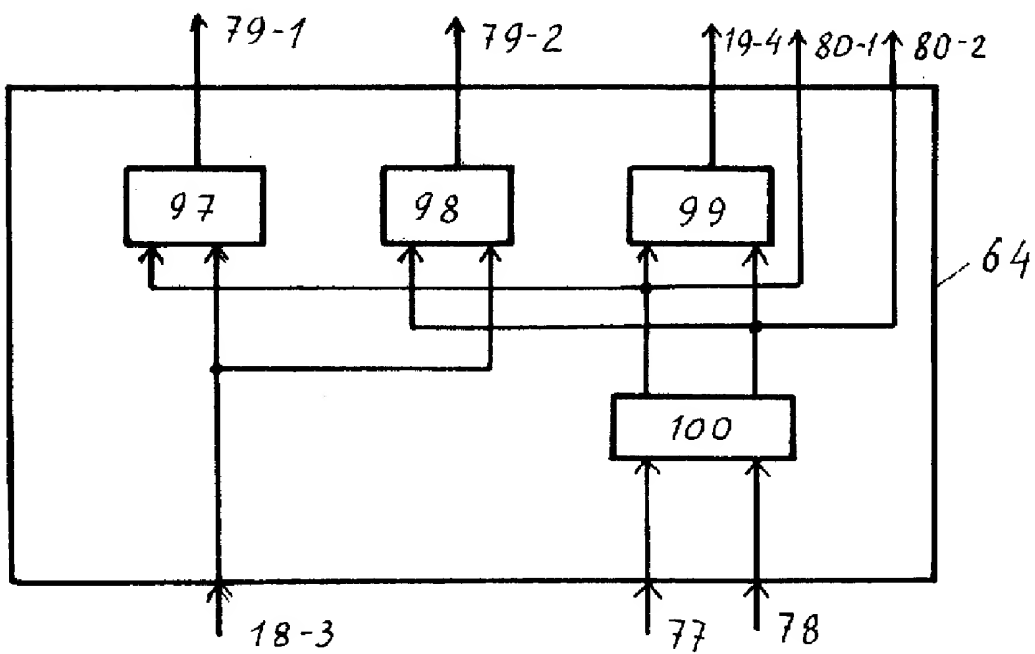


RU 2110089 C1

Фиг. 2



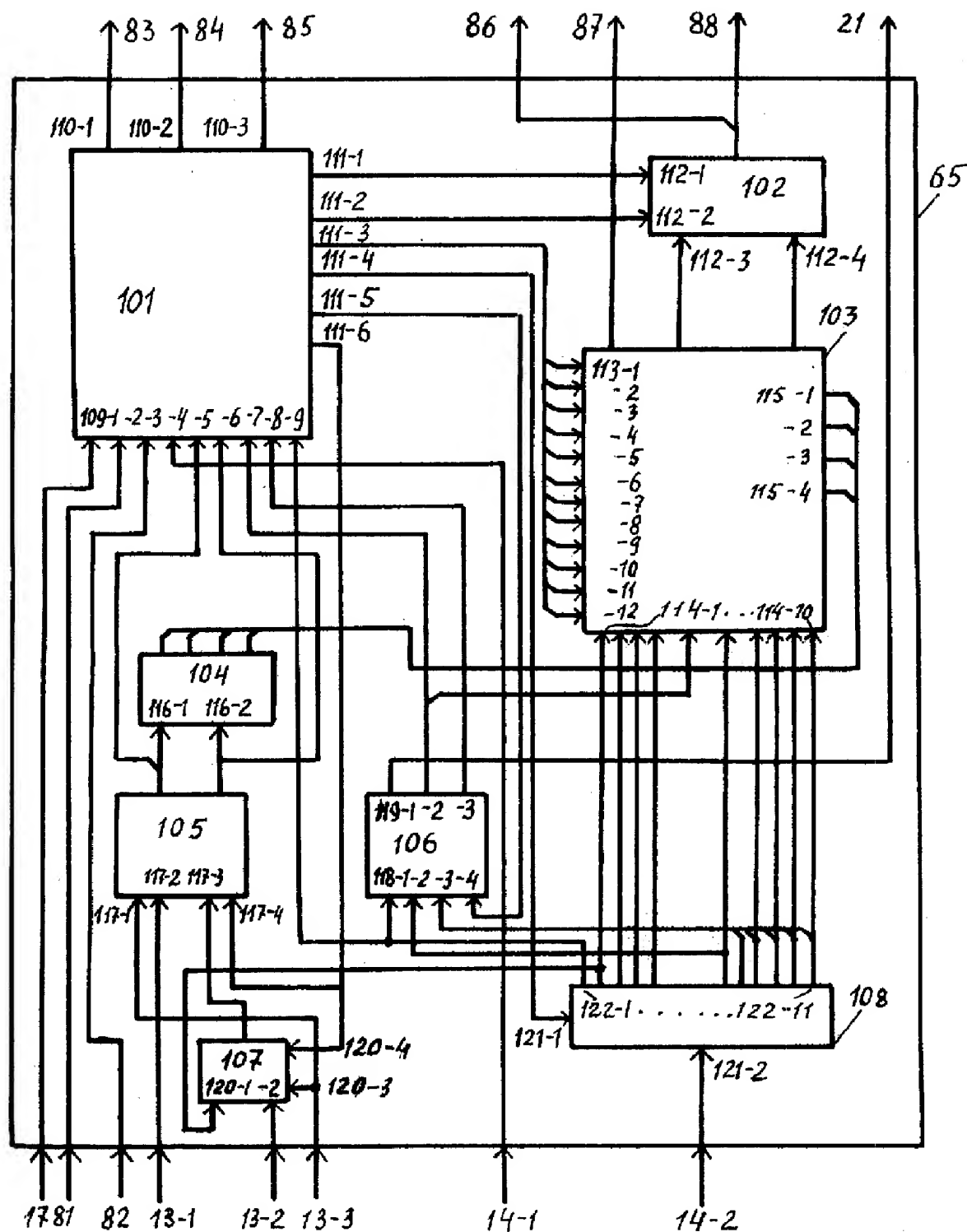
фиг. 3



фиг. 4

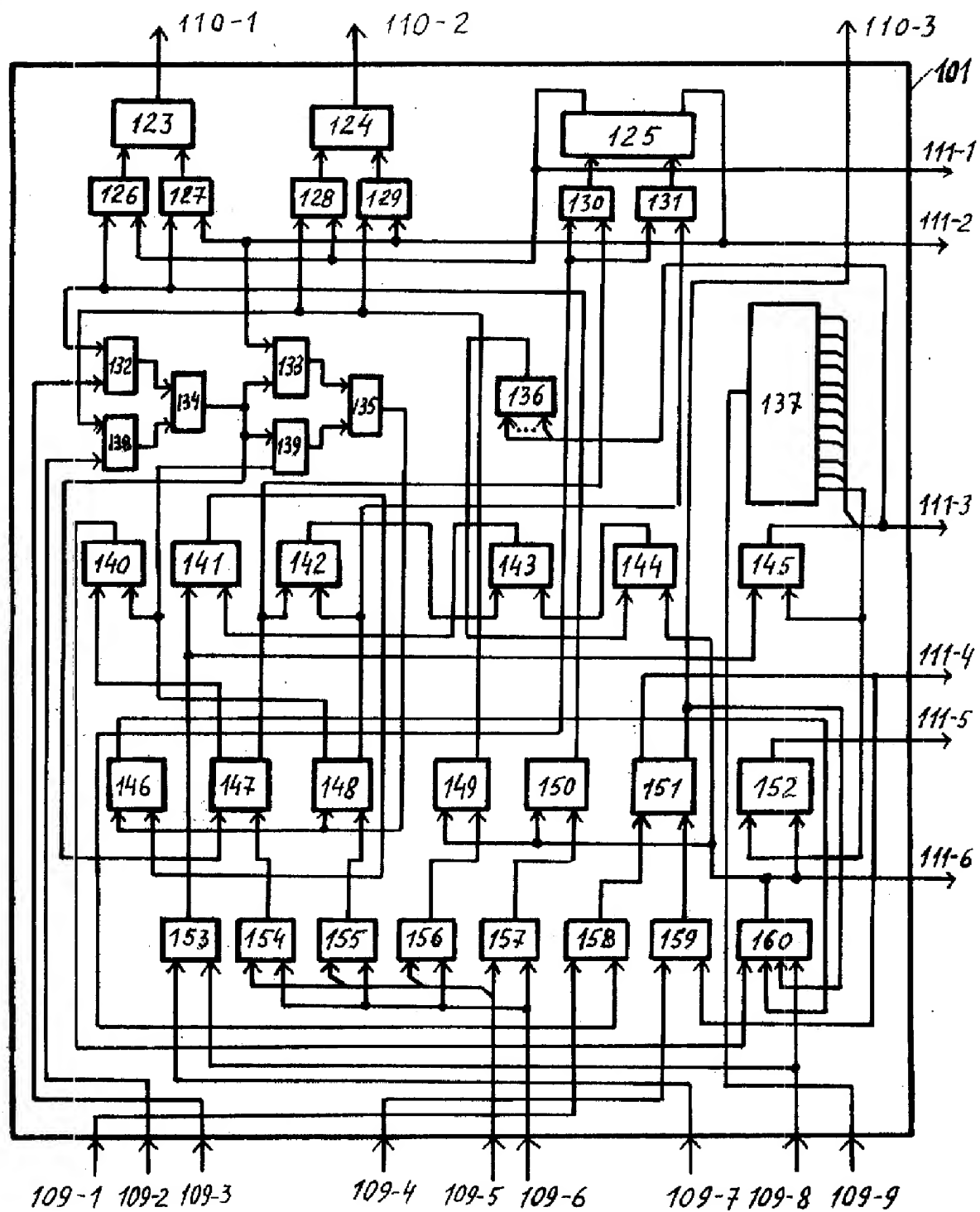
RU 2110089 C1

RU 2110089 C1



Фиг. 5

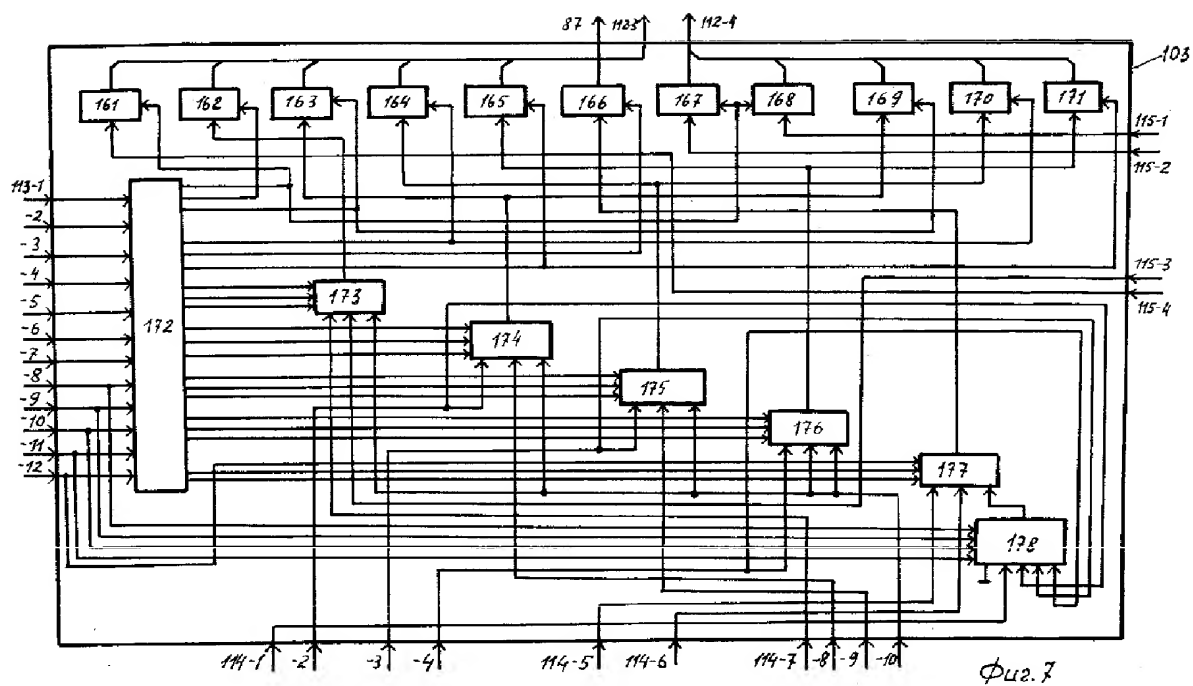
RU 2110089 C1



Φ42.6

RU 2110089 C1

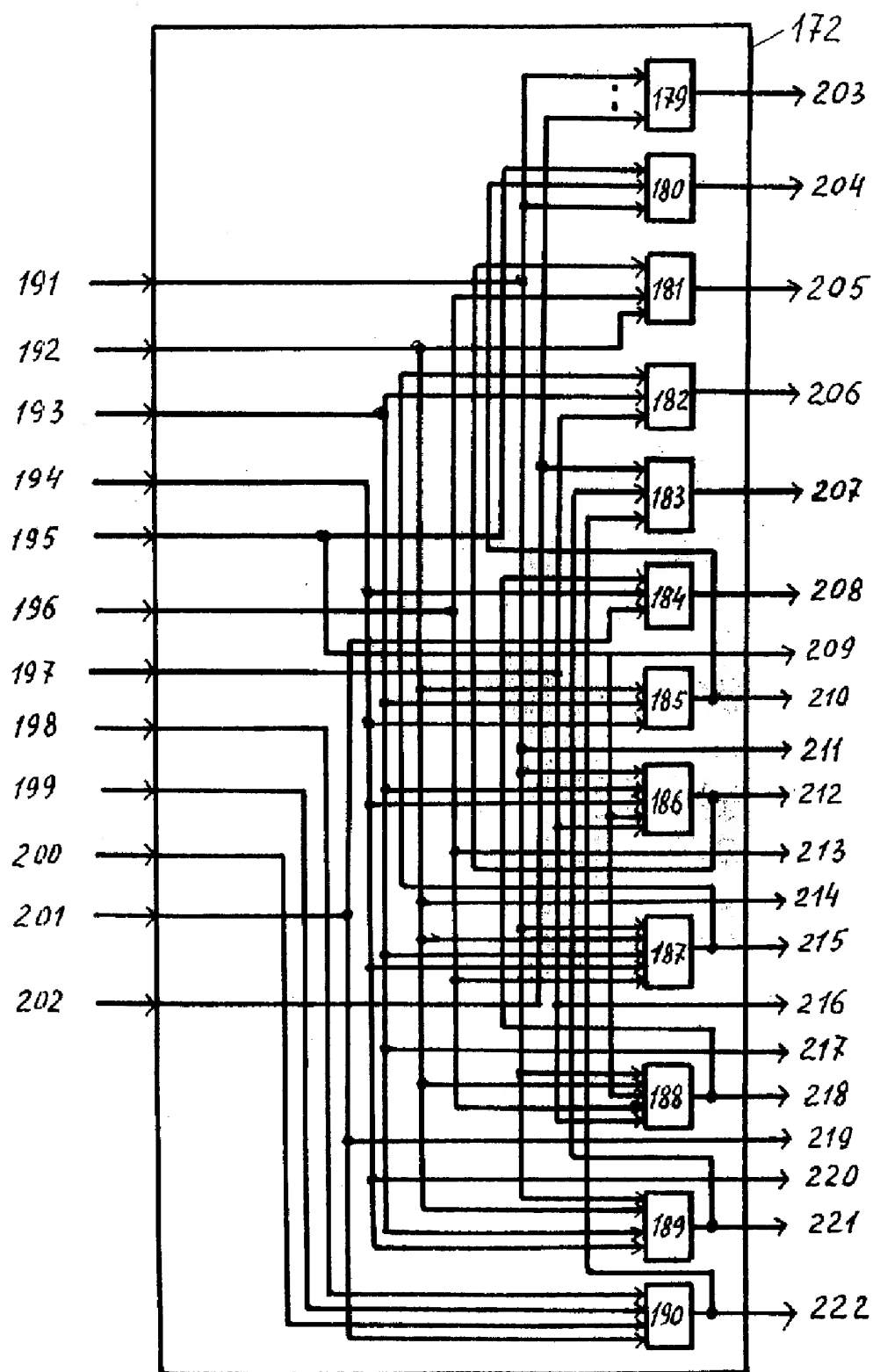
RU 2110089 C1



RU 2110089 C1

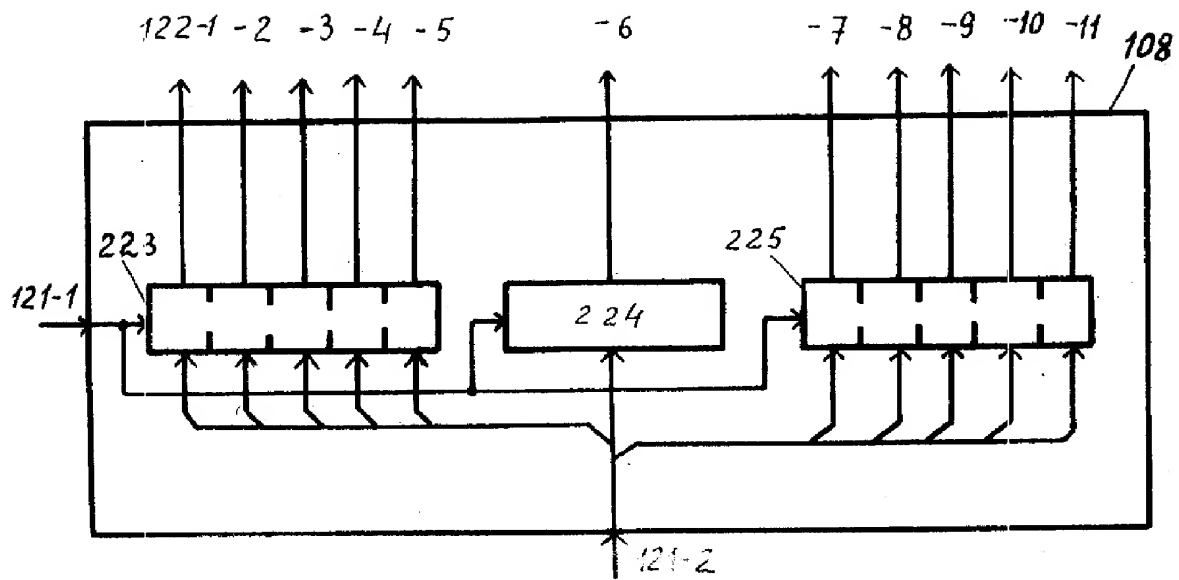


RU 2110089 C1

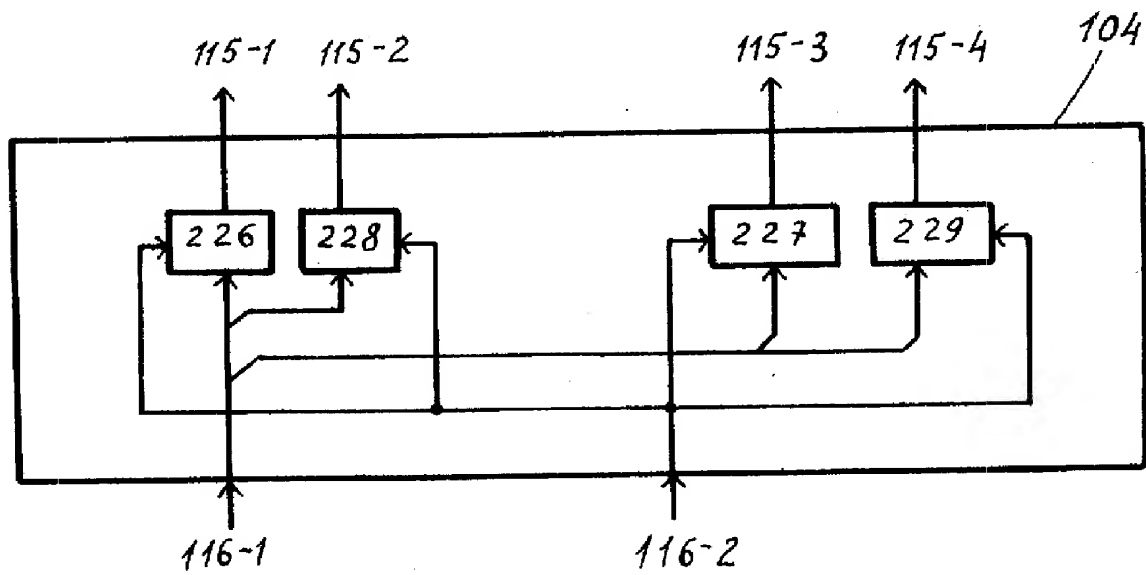


RU 2110089 C1

Фиг. 8



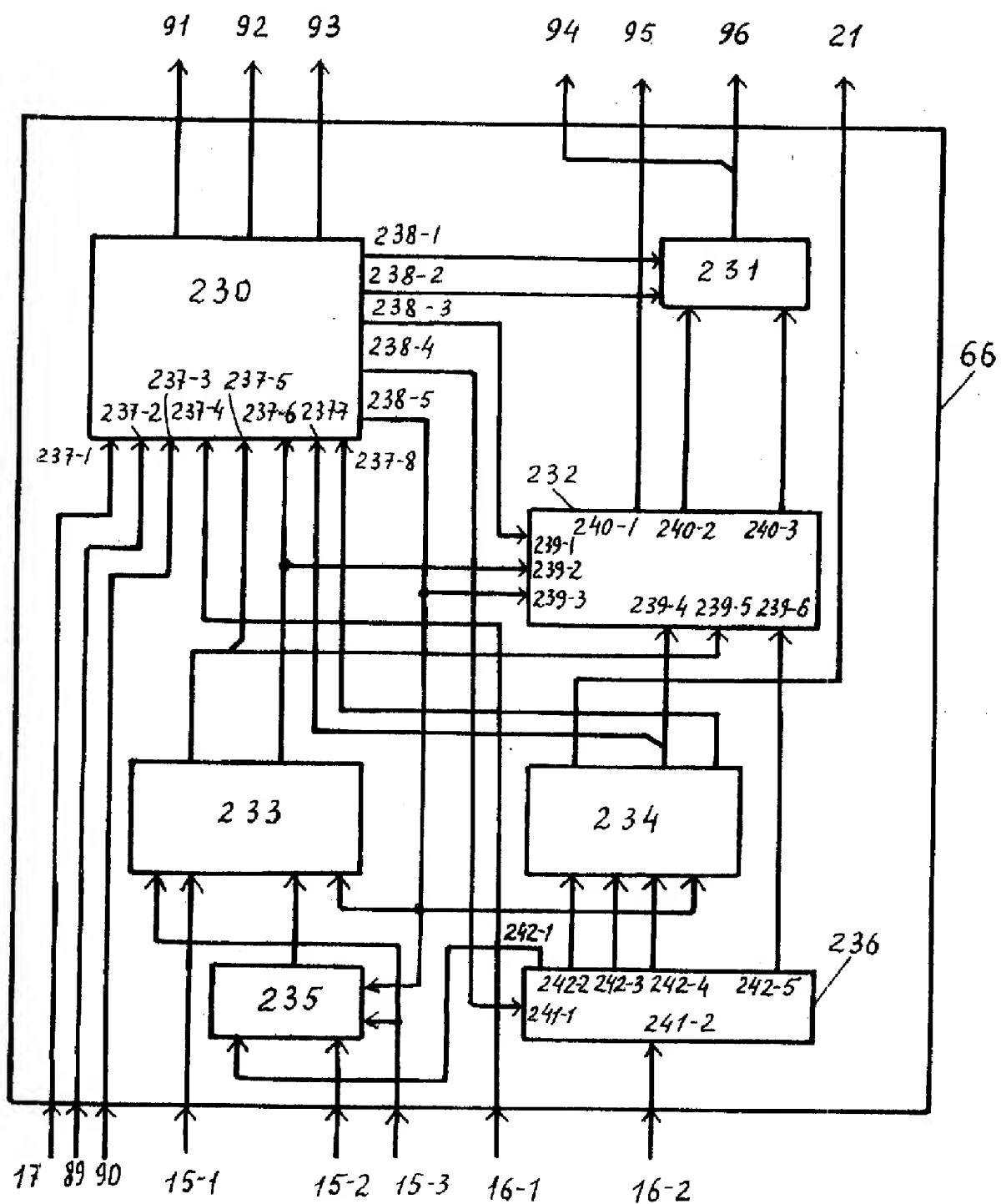
$\Phi_{42.9}$



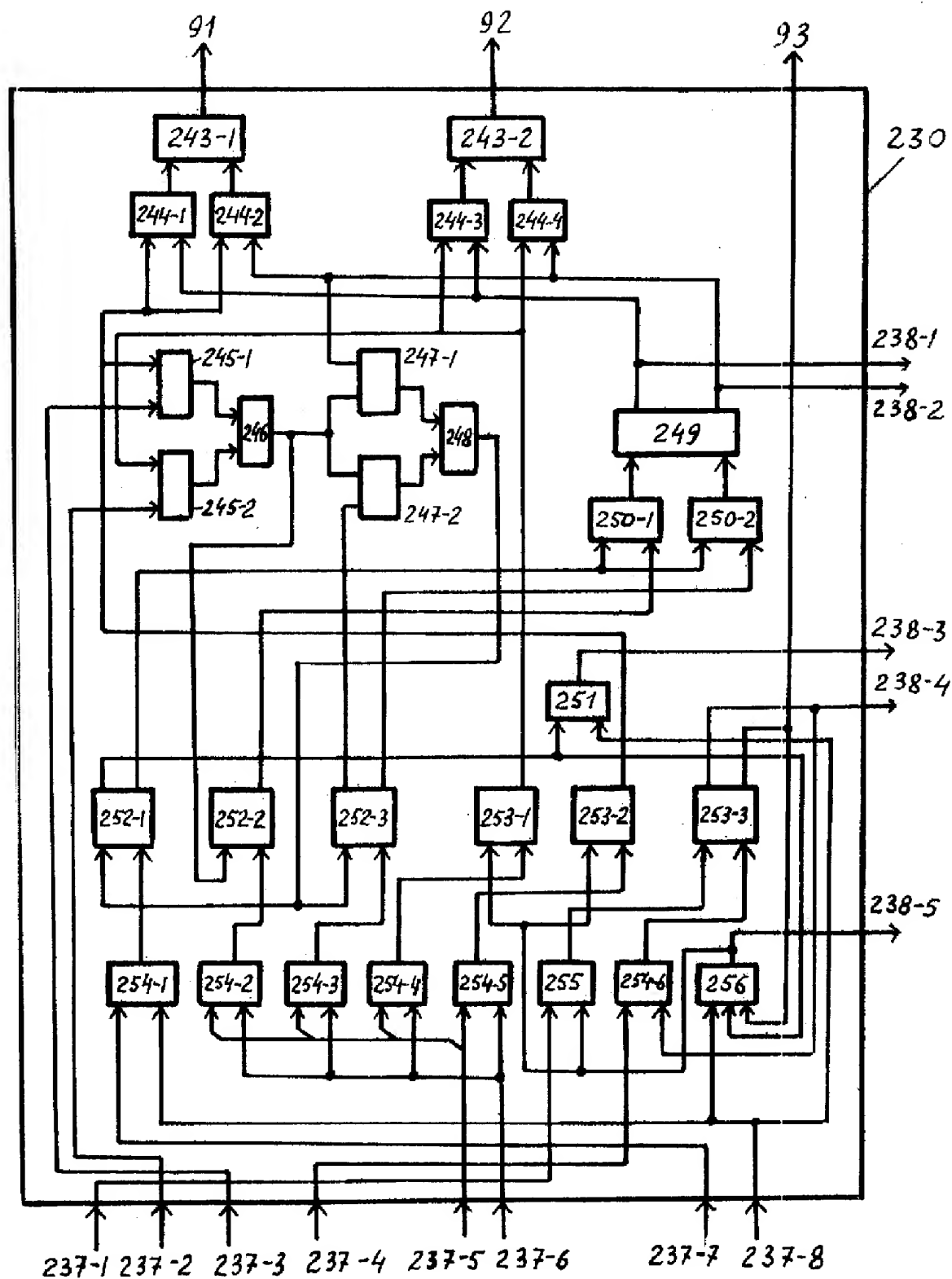
$\Phi_{42.10}$

RU 2110089 C1

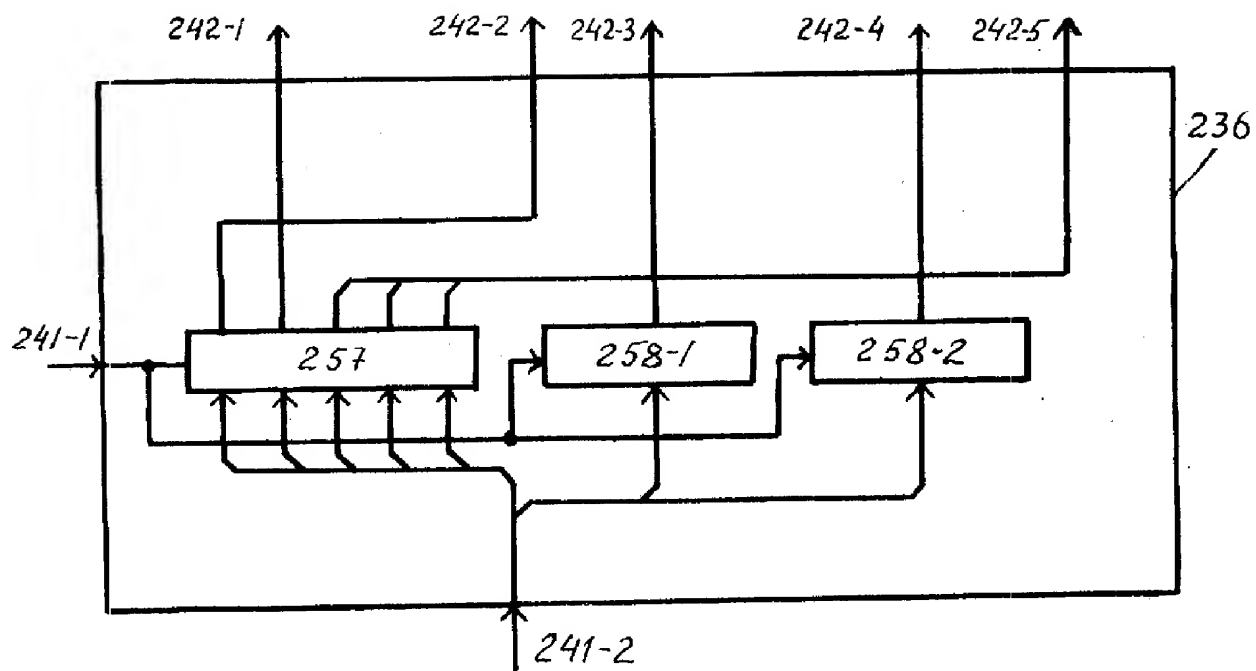
RU 2110089 C1



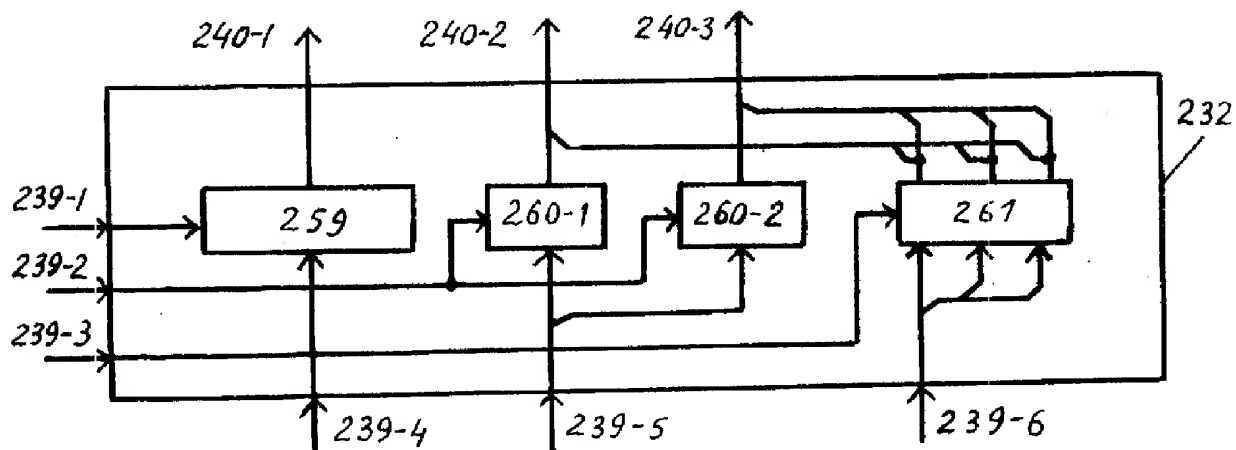
Фиг. 11



Ф 42.12



$\Phi_{uz.13}$

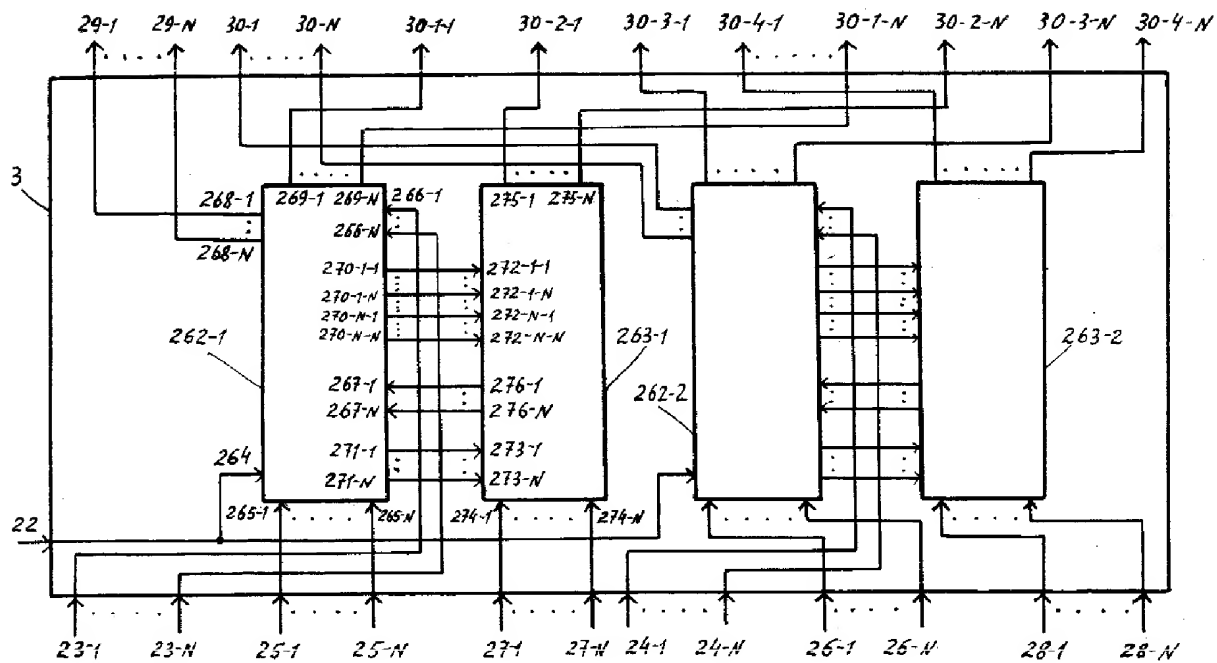


$\Phi_{uz.14}$

RU 2110089 C1

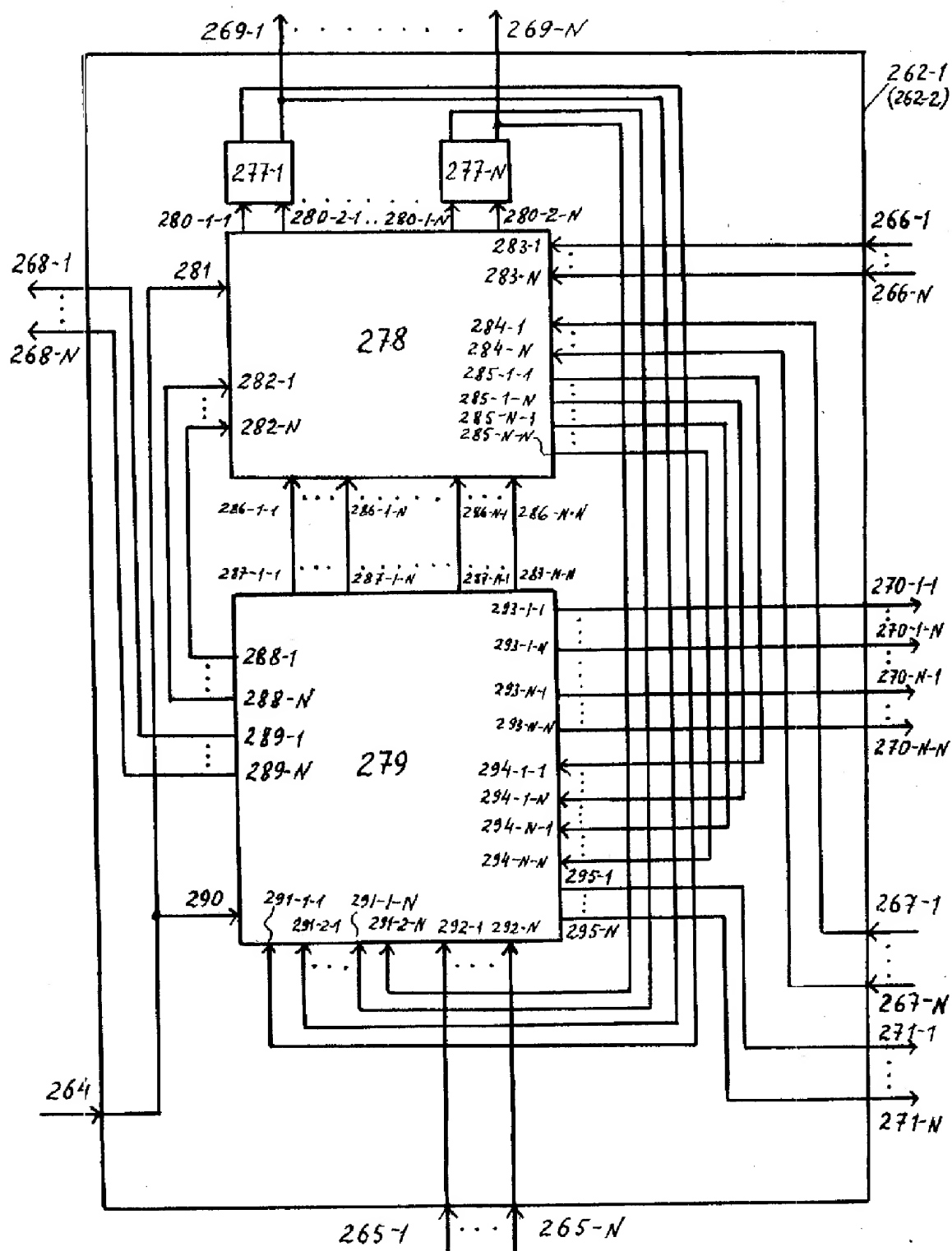
RU 2110089 C1

RU 2110089 C1

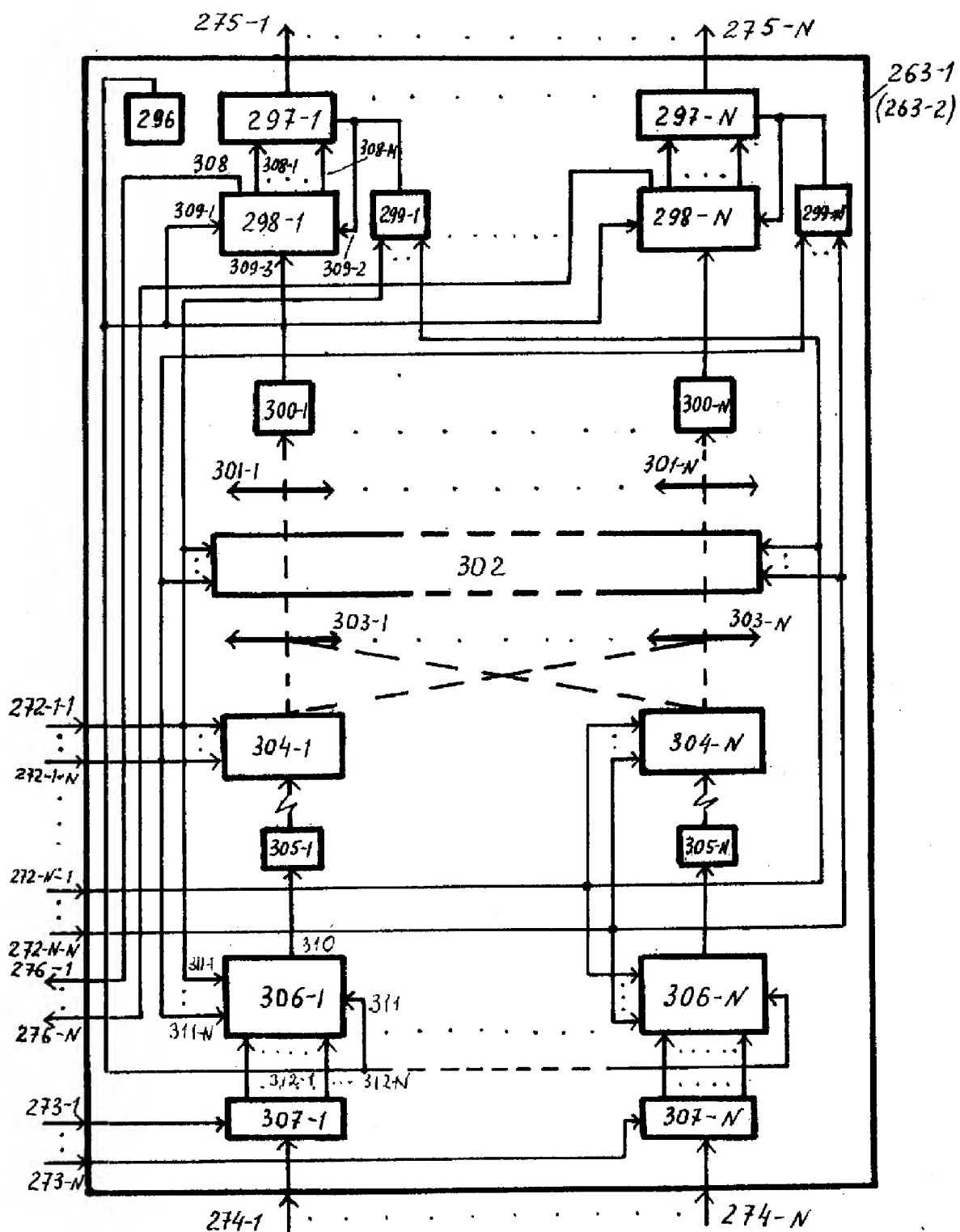


Фиг. 15

RU 2110089 C1

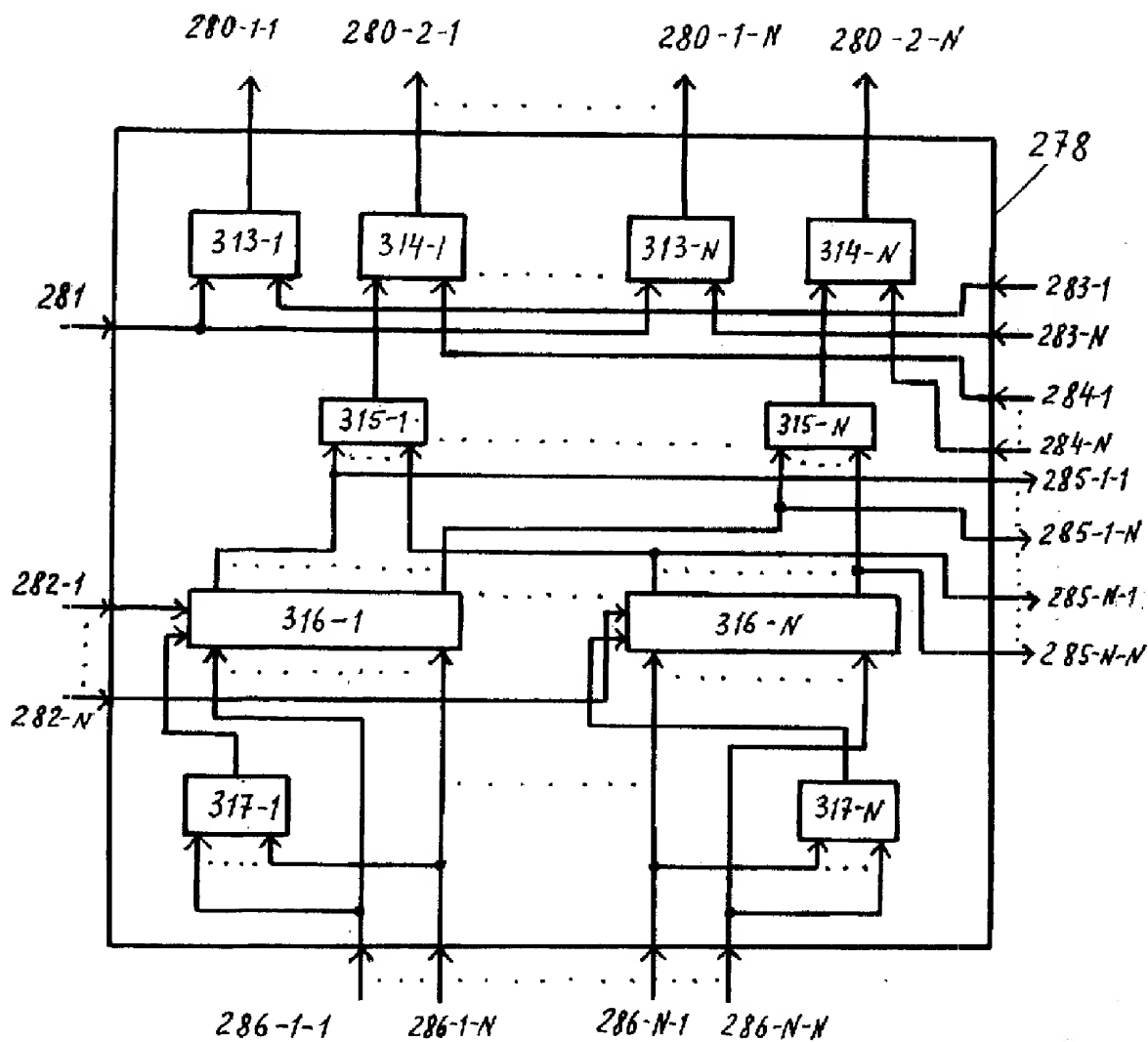


Фиг. 16

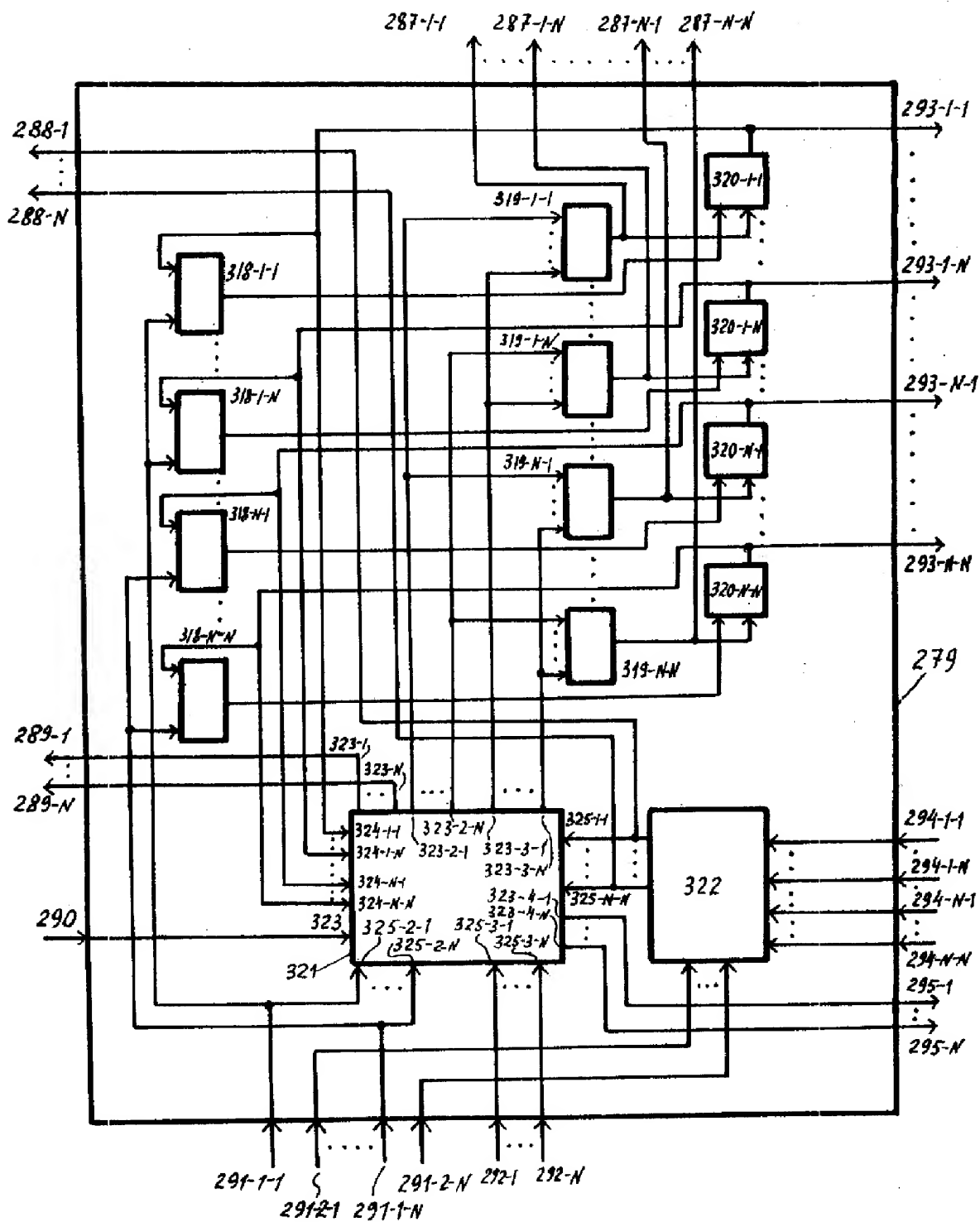


фиг. 17

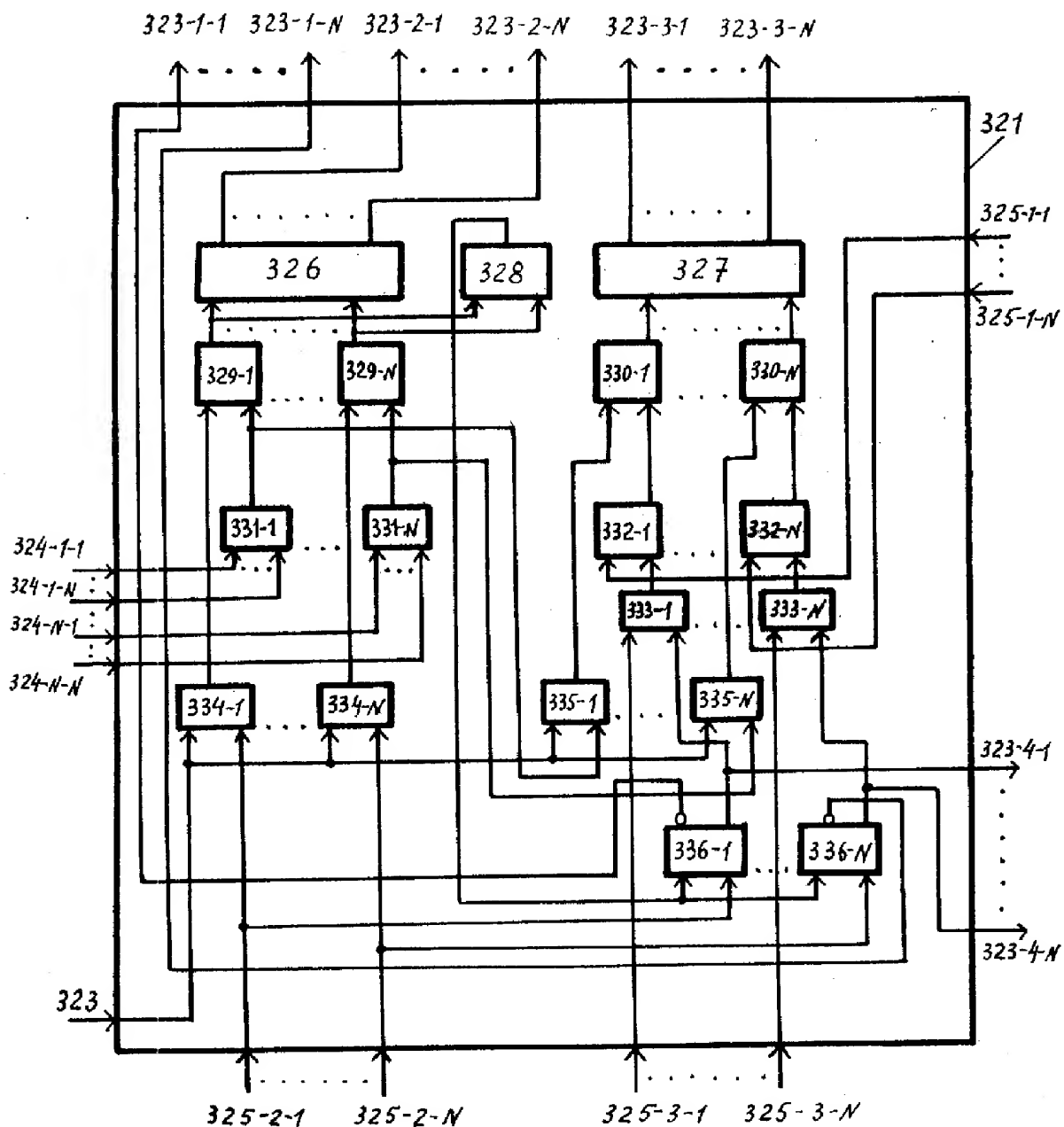




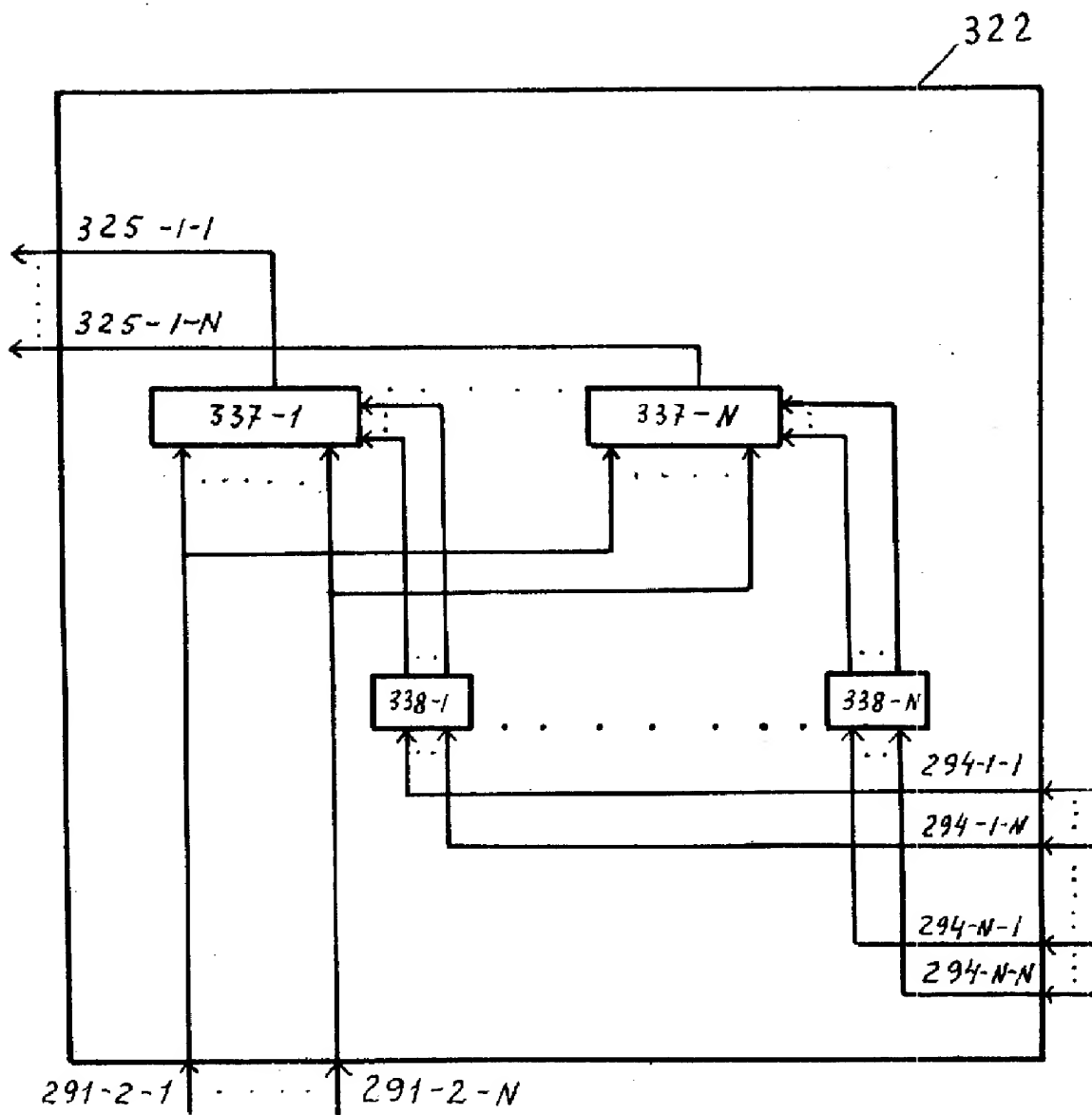
Фиг. 18



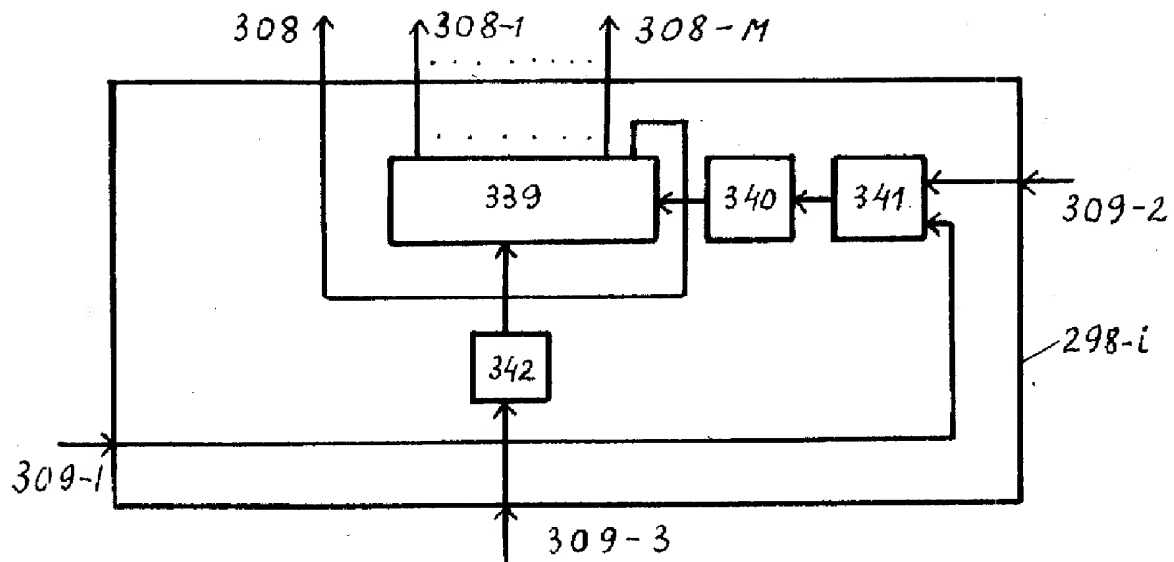
Ф 42.19



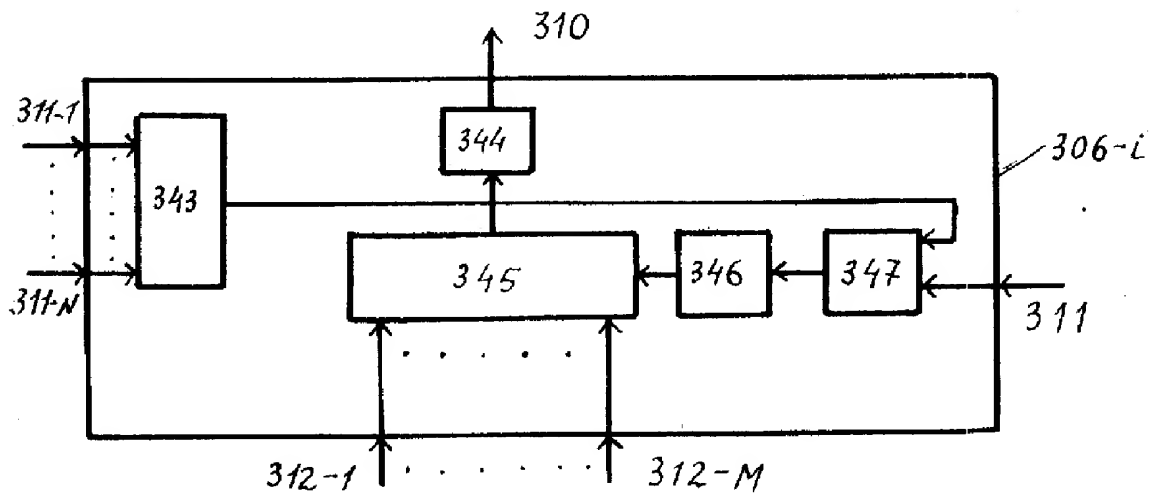
фиг. 20



Фиг. 21



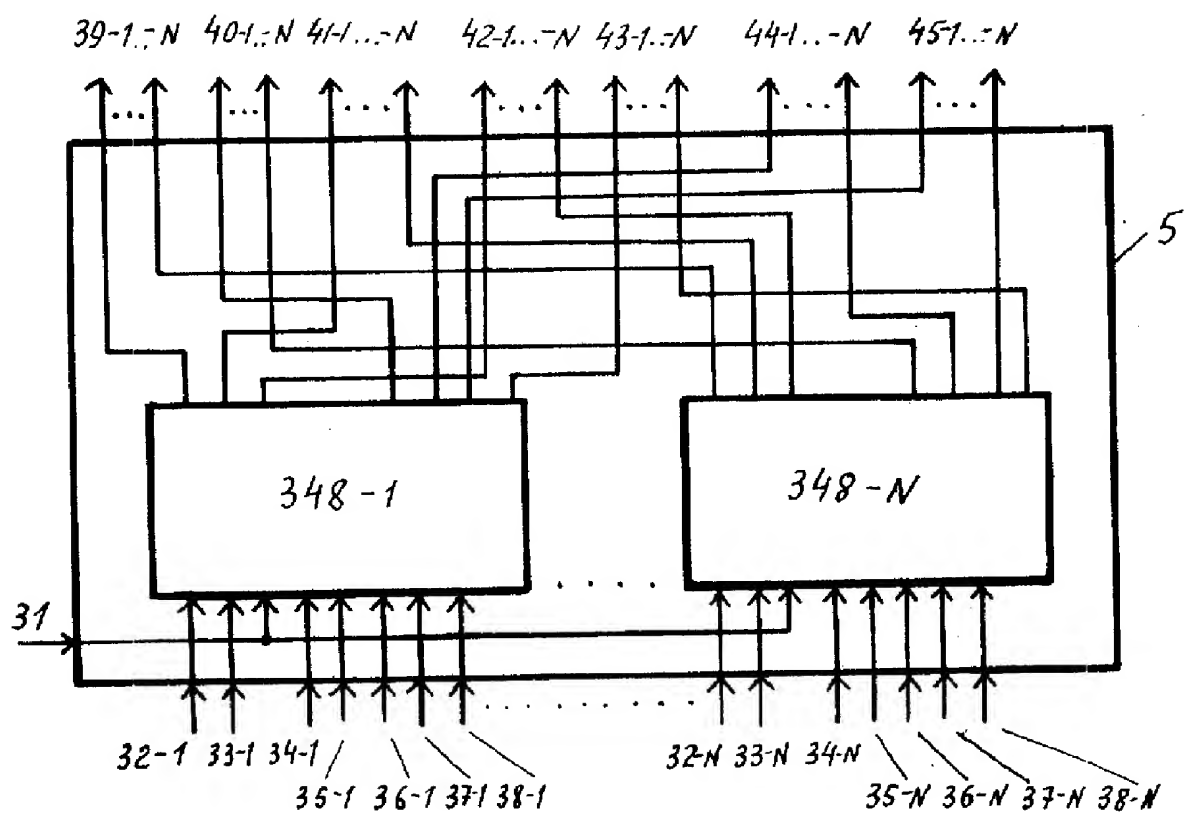
Фиг. 22



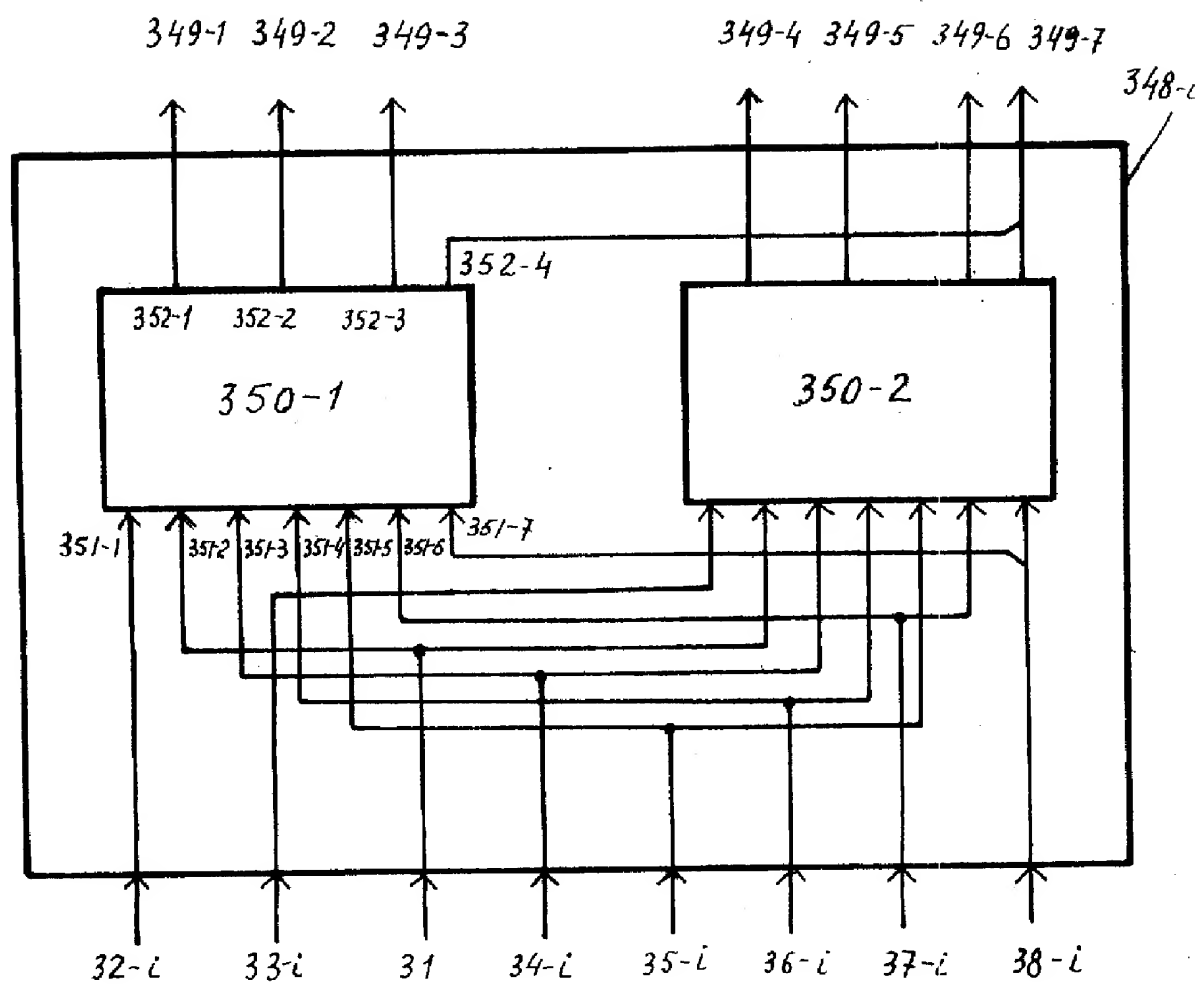
Фиг. 23

RU 2110089 C1

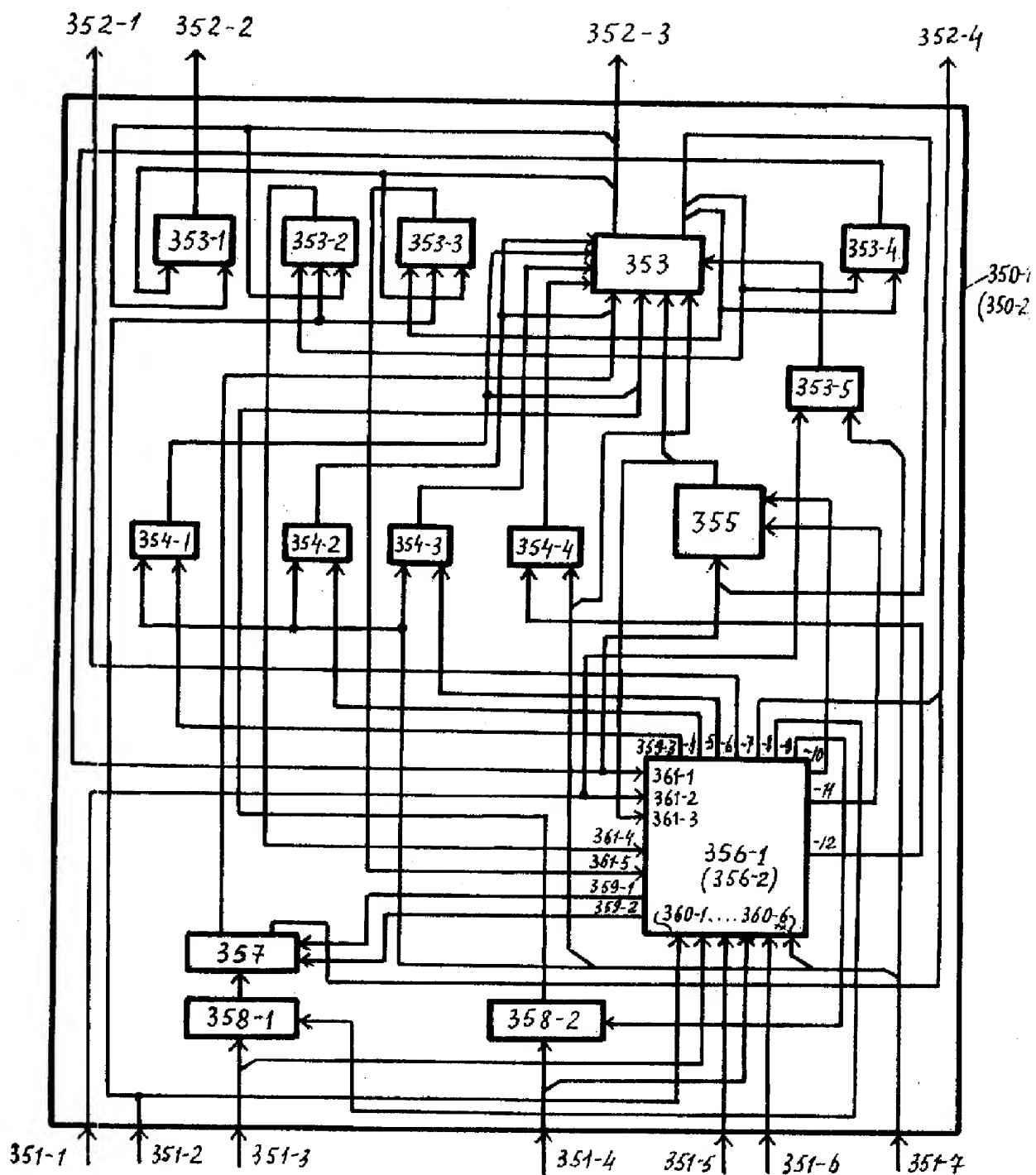
RU 2110089 C1



Фиг. 24.

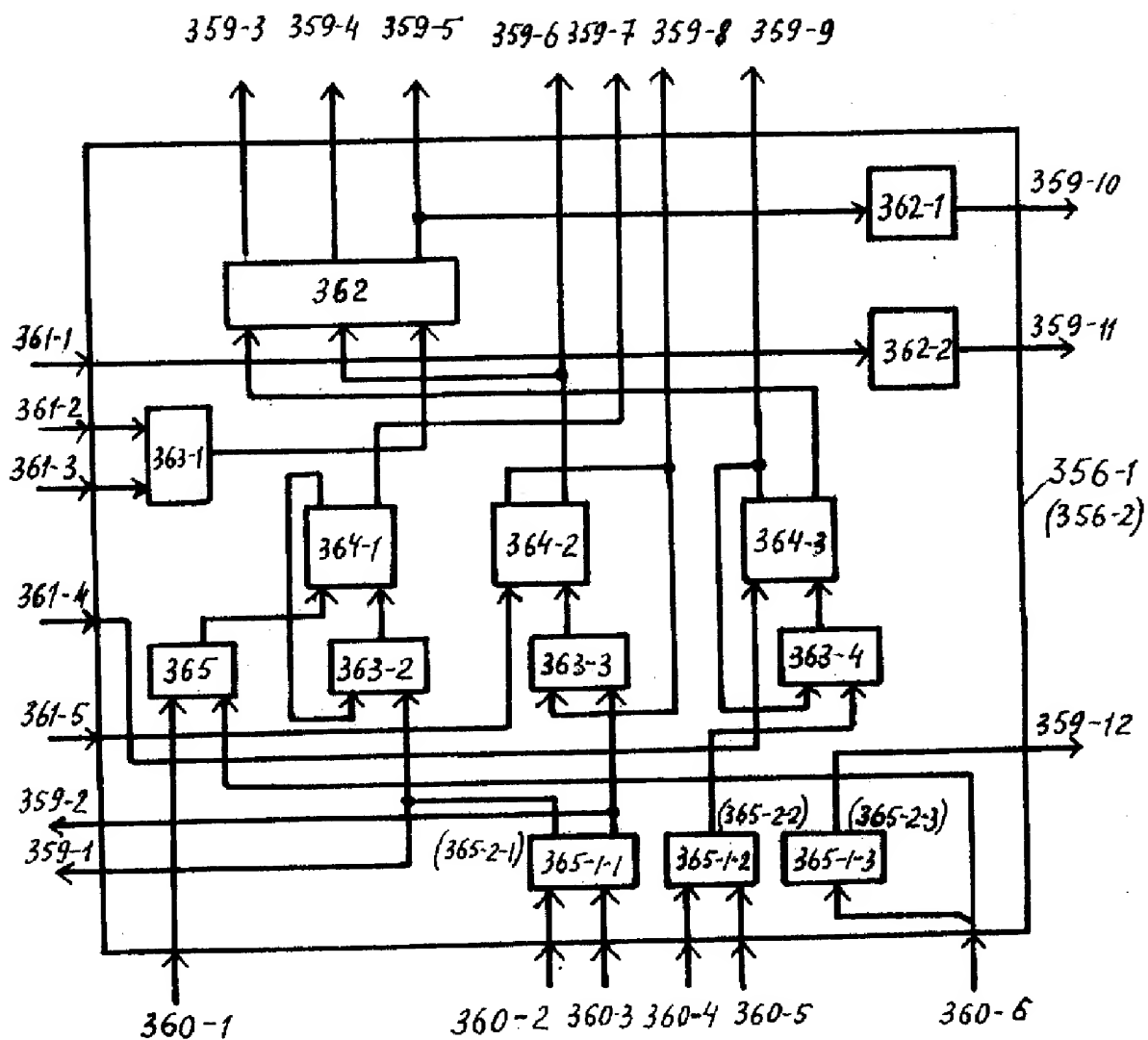


$\Phi_{uz. 25}$

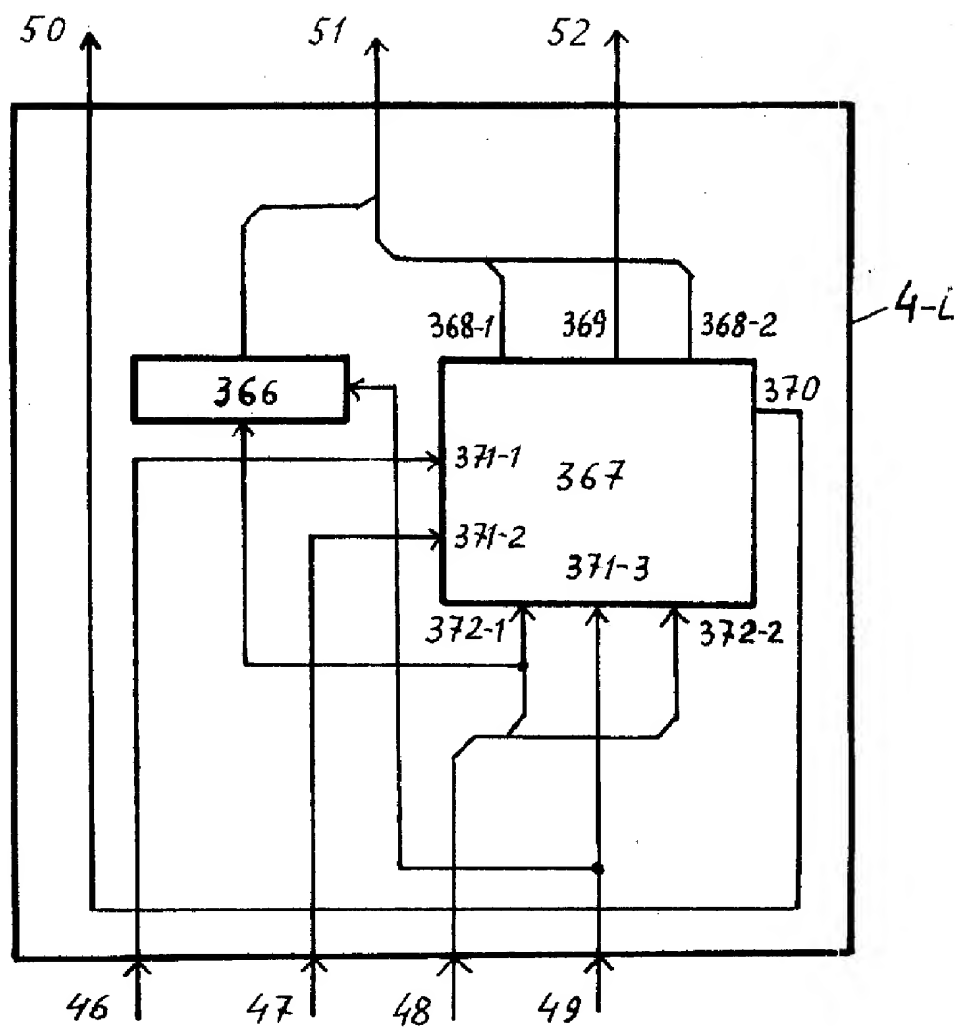


Фиг. 26

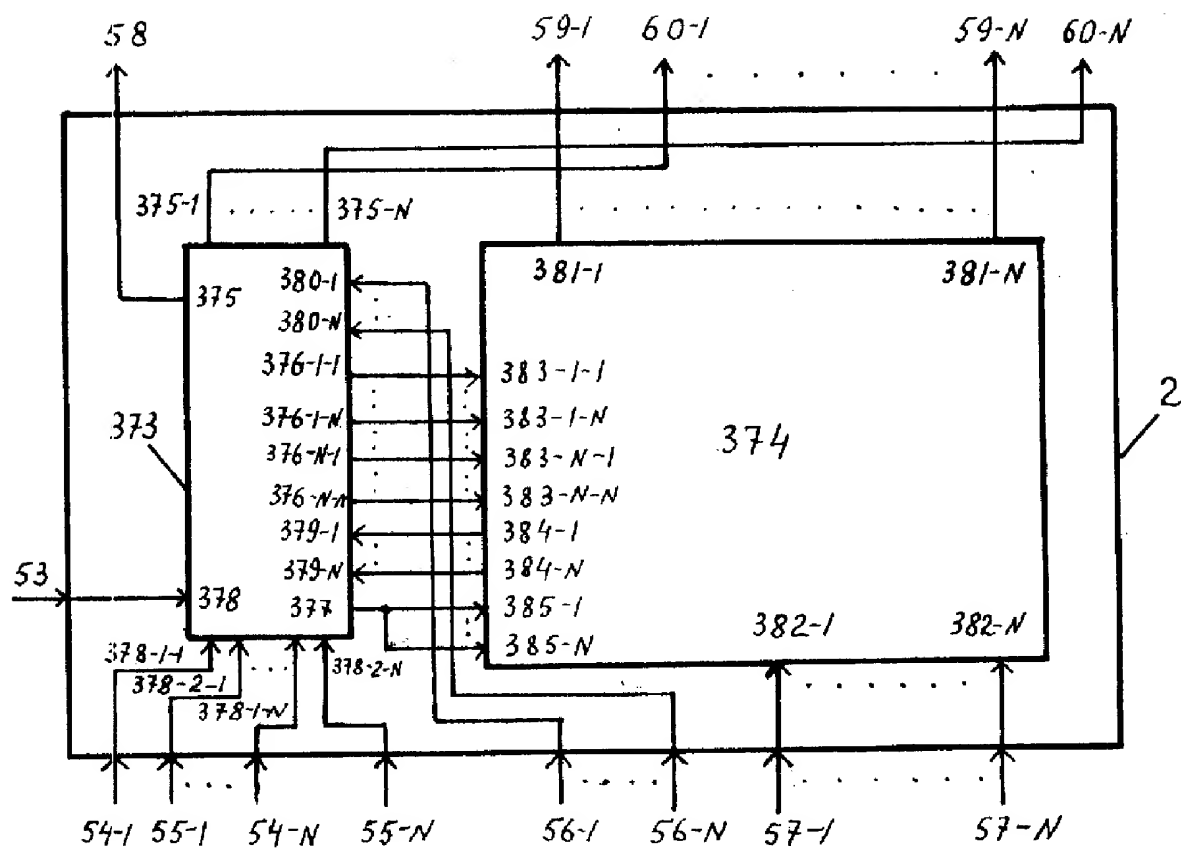




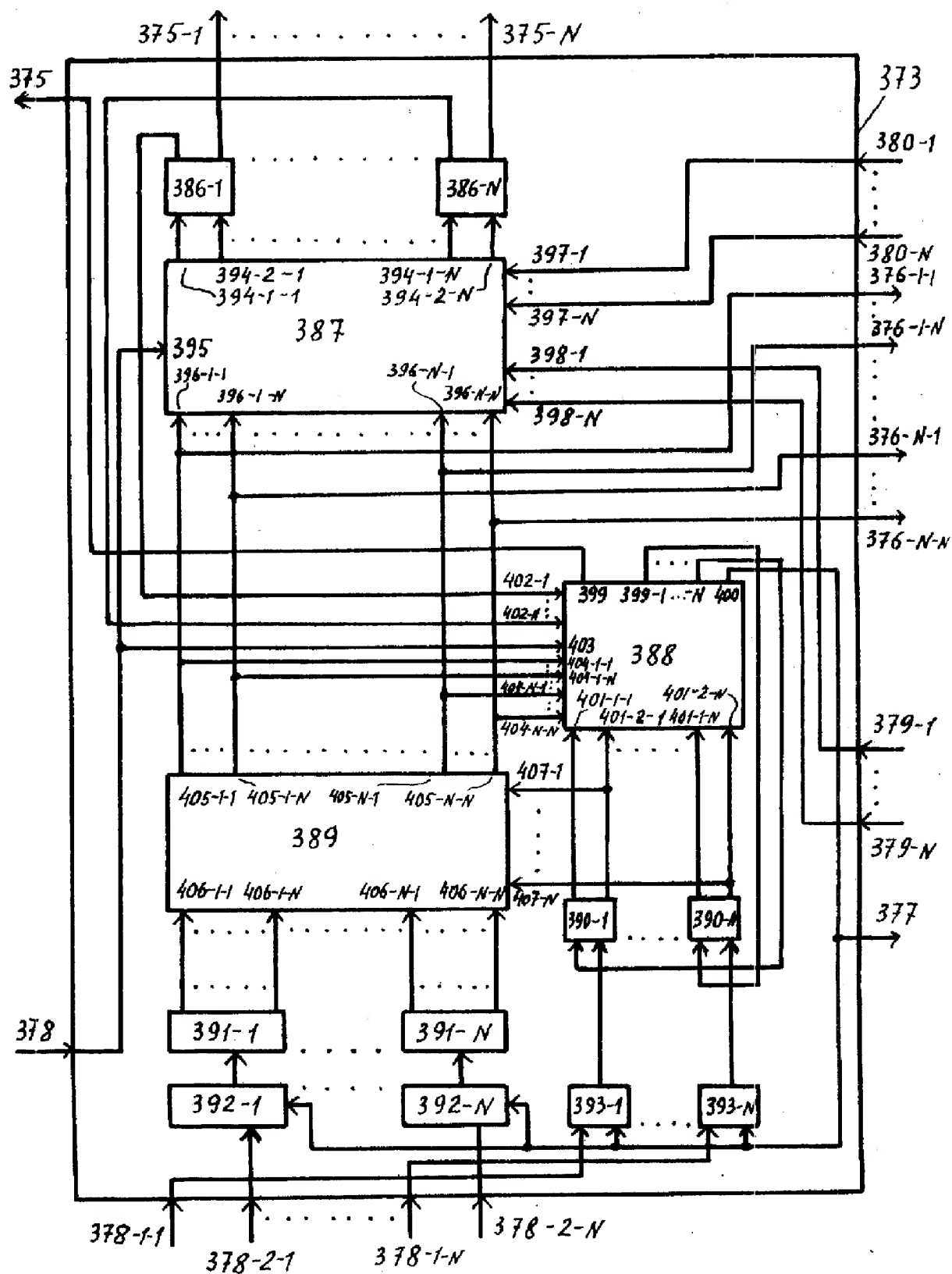
$\Phi_{uz.27}$



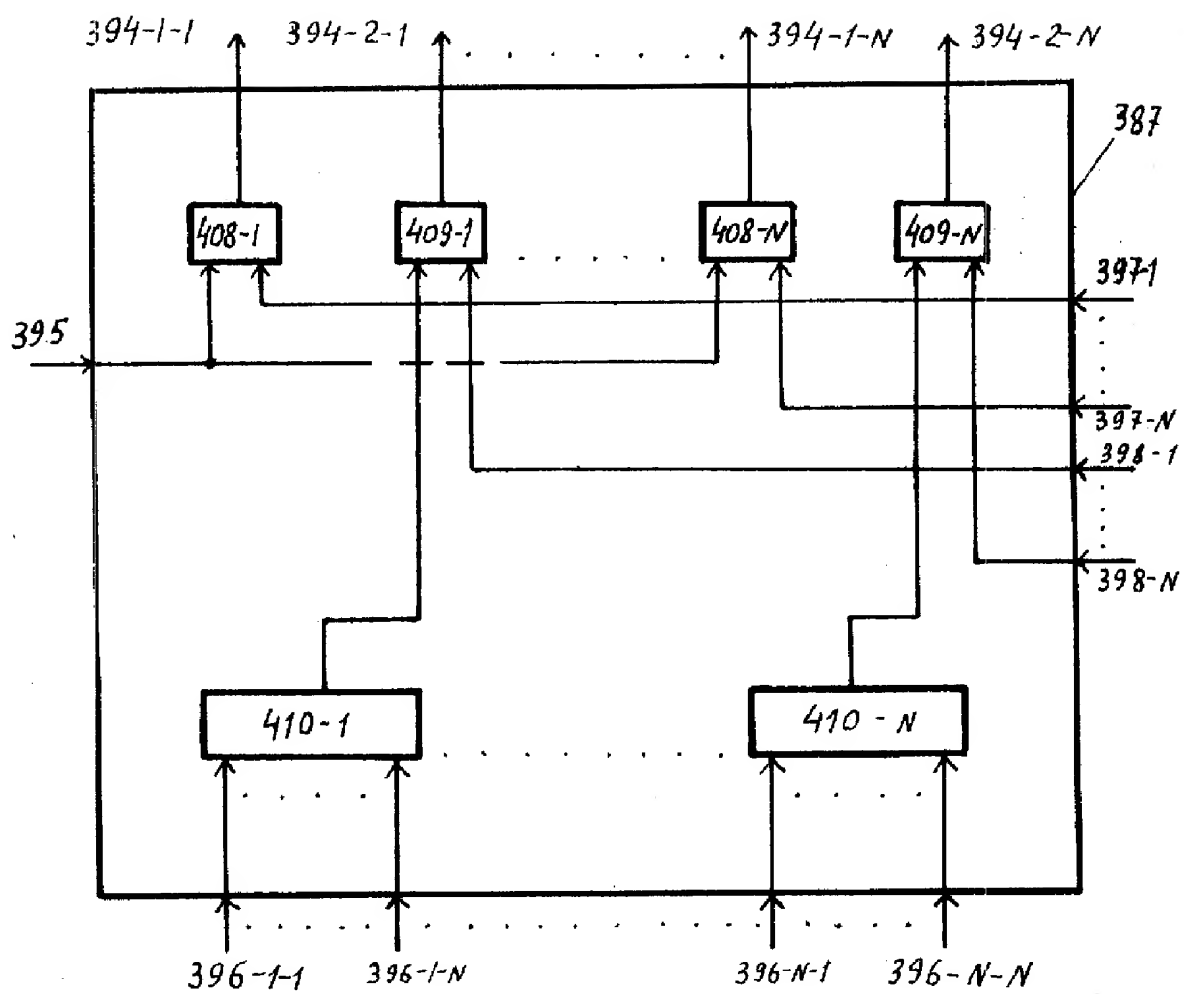
Фиг. 28



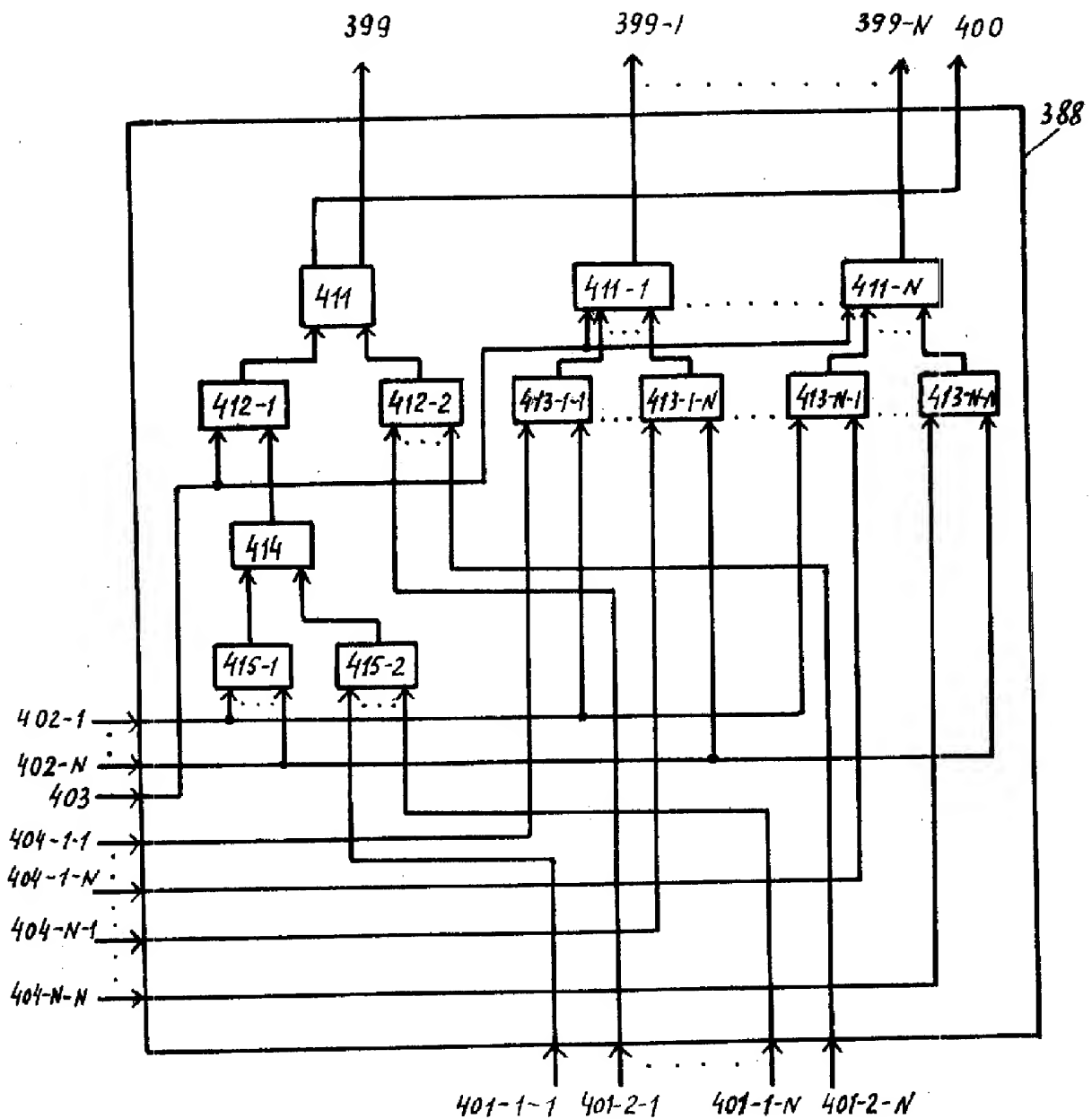
Фиг. 29



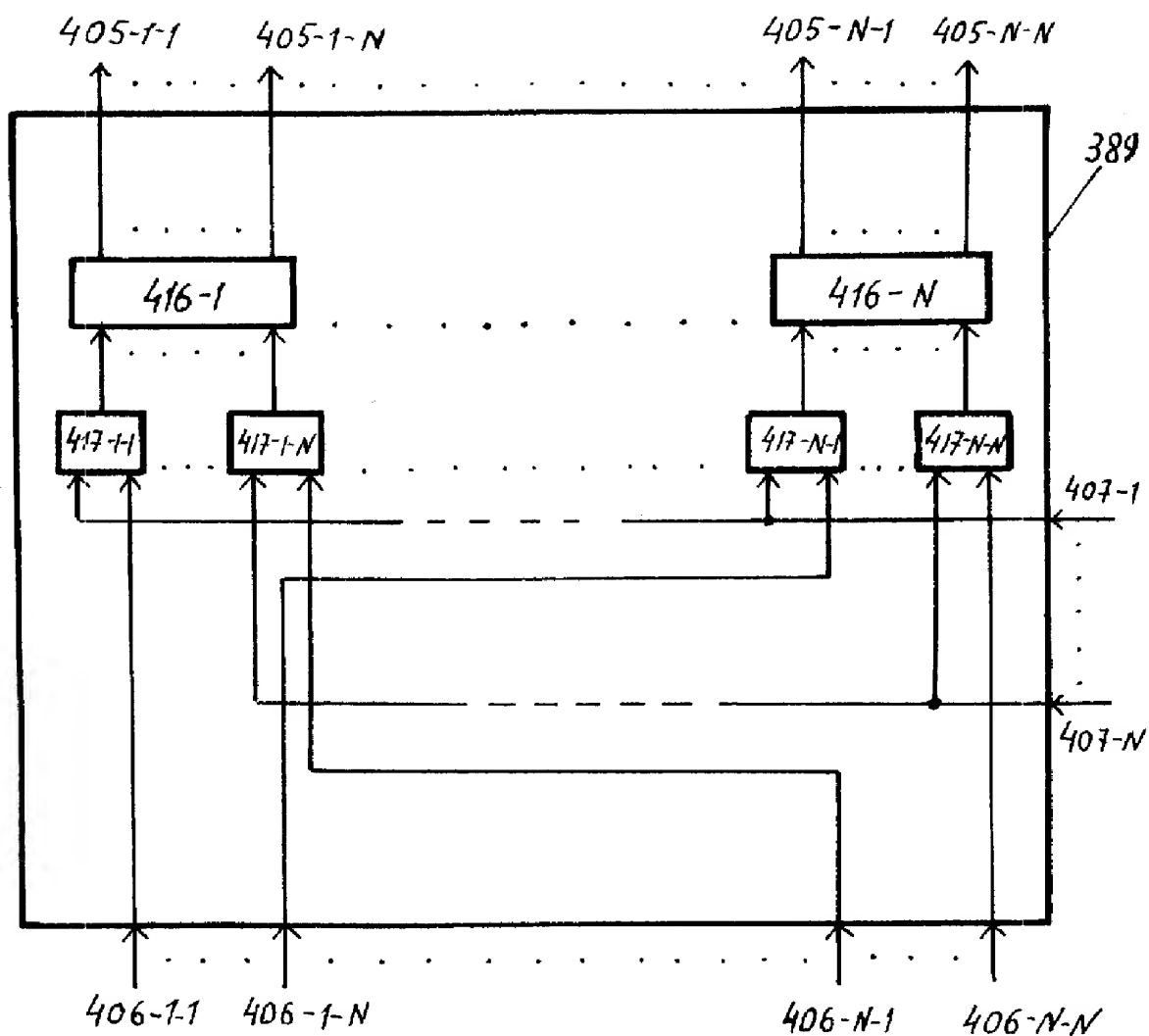
фиг. 30



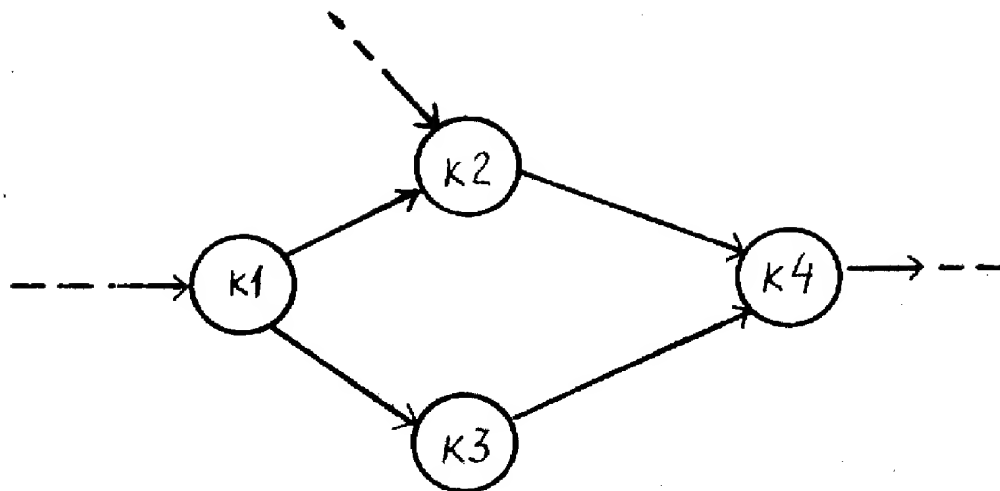
Фиг. 31



Фиг. 32



Фиг. 33



Фиг. 34

|     |   |   |   |   |    |    |
|-----|---|---|---|---|----|----|
| СС  |   |   |   |   | Д1 | Д2 |
| коп | к | п | т | и |    |    |

Фиг. 35